

特開平9-8153

(45) 公開日 平成9年(1997)1月16日

(51) Int. Cl. ⁵	識別番号	序内整理番号	F 1	技術表示箇所
H10 L 21/8047			H10 L 25/76	2 7 3
25/798			27/16	4 3 4
26/702				
27/115				

審査請求 未請求 請求項の数27 G L (金 34 頁)

(21) 出願番号	特願平7-168989	(71) 出願人	09006613 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成7年(1995)6月15日	(72) 発明者	大中道 毅雄 兵庫県西宮市塚口本町八丁目1番1号 三 菱電機株式会社半導体基礎研究室内
		(73) 発明者	小野田 宏 兵庫県伊丹市瑞穂4丁目1番地 三菱電機 株式会社ユニ・エル・エス・アイ開発研究 所内
		(74) 代理人	弁理士 深見 久郎 (外3名)

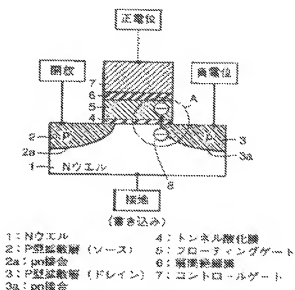
最終頁に続く

(14) 【発明の名称】 不揮発性半導体記憶装置

(5) 【要約】

【目的】 pチャンネル型のメモリセルを用いて、従来のnチャンネル型のメモリセルの電圧印加条件と反対の電圧印加条件を与えることにより、トンネル酸化膜の劣化を防止し、劣化化が可能な不揮発性半導体記憶装置を提供する。

【構成】 トンネルの表面に設置のソース領域とドレイン領域とが形成され、チャンネル領域の上方に、トンネル酸化膜を含有してフローティングゲート電極とコントロールゲート電極とを形成されている。この構造において、データの書込時に、ドレイン領域3に正電位が印加され、コントロールゲート電極に正電位が印加される。これにより、ドレイン領域におけるバンド・バンド間トンネル電流が起る。この電流により、ドレイン領域からフローティングゲート電極へ電子が注入される。



【特許請求の範囲】

【請求項1】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの書込時に、前記ドレイン領域と、負電位を印加するための負電位印加手段と、

前記電荷蓄積電極に、正電位を印加するための正電位印加手段と、を備え、前記ドレイン領域におけるバンドバンド間トンネル電流起動コヒーレントトンネル注入により、前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項2】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの書込時に、前記ドレイン領域と、負電位を印加するための負電位印加手段と、

前記電荷蓄積電極に、正電位を印加するための正電位印加手段と、を備え、前記電荷蓄積電極と前記ドレイン領域とに挟まれた領域の前記トンネル酸化膜に電荷を印加して、ドレイン領域より前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項3】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの消去時に、前記制御電極に、負電位を印加するための負電位印加手段と、

前記ソース領域および前記n型領域に、正電位を印加するための正電位印加手段と、を備え、

前記チャネル領域に、他のチャネル層を形成し、前記正孔のチャネル層と前記電荷蓄積電極との間に介在する前記トンネル酸化膜に電荷を付与して、ドレイン領域の表面より、前記電荷蓄積電極から前記正孔のチャネル層へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項4】 前記不揮発性半導体記憶装置は、前記不揮発性半導体記憶装置のデータの書込時に前記ソース領域を開放状態にする開放手段と、

前記n型領域を開放状態にする開放手段と、をさらに有する請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項5】 前記チャネル領域は、p型の埋込層を有する。請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項6】 前記制御電極は、n型のポリシリコンである。請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項7】 前記電荷蓄積電極は、p型のポリシリコンである。請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項8】 前記ソース領域と前記ドレイン領域とは、前記電荷蓄積電極および前記制御電極に対して、互に隣接する。請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項9】 前記ドレイン領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。請求項1に記載の不揮発性半導体記憶装置。

【請求項10】 前記ドレイン領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下の領域を有し、前記ソース領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以下である。請求項1に記載の不揮発性半導体記憶装置。

【請求項11】 前記チャネル領域において、前記ソース領域に類して形成され、前記ソース領域の不純物濃度よりも低濃度のp型不純物を有する第1不純物領域と、

前記ドレイン領域に類して形成され、前記ドレイン領域の不純物濃度よりも低濃度のp型不純物を有する第2不純物領域と、を備えた。請求項1に記載の不揮発性半導体記憶装置。

【請求項12】 前記n型領域において、前記ドレイン領域に類し、前記ドレイン領域を覆うように形成されたp型の第3不純物領域を備えた。請求項1に記載の不揮発性半導体記憶装置。

【請求項13】 前記トンネル酸化膜の厚さは、 1.5 nm 以下である。請求項1に記載の不揮発性半導体記憶装置。

【請求項14】 前記n型領域において、前記ドレイン領域を覆うように形成されたp型の第4不純物領域と、

前記ソース領域を覆うように形成されたp型の第5不純物領域と、を備えた。請求項1に記載の不揮発性半導体記憶装置。

【請求項15】 前記不揮発性半導体記憶装置は、前記ドレイン領域を開放状態にする開放手段をさらに備えた。請求項3に記載の不揮発性半導体記憶装置。

【請求項1】 前記制御電線と前記電源蓄積電線と前記ソース領域と前記ドレイン領域とでメモリセルが形成され、

前記不揮発性半導体記憶装置は、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイを、

前記複数行に対応して、前記各々のメモリセルの制御電線が接続されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン領域が接続されたビット線と、を有する。【請求項1】、前記第2または第3項に記載の不揮発性半導体記憶装置。 10

【請求項17】 前記不揮発性半導体記憶装置は、

前記メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域をさらに備え、

前記周辺回路領域は、pチャネル型MOSトランジスタを有し、

前記メモリセルの駆動ソース領域と前記ドレイン領域とが、前記pチャネル型MOSトランジスタを構成するソース領域およびドレイン領域と同一の構造を有する。【請求項1】に記載の不揮発性半導体記憶装置、

【請求項18】 前記ビット線は、主ビット線と副ビット線とを有し、

前記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分類され、

前記複数のセクタに対して設けられ、各々が対応するセクタ内の複数列に属する複数の前記副ビット線を含む副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット線に接続する選択トランジスタを備え、

前記選択トランジスタは、pチャネル型トランジスタである。【請求項1】に記載の不揮発性半導体記憶装置、

【請求項19】 前記副ビット線は、金属配線材料である。【請求項1】に記載の不揮発性半導体記憶装置、

【請求項20】 前記蓄電圧印加手段は、

前記不揮発性半導体記憶装置の書き込み時、

V₀よりV₁特別において、(V₀-V₁)/ドレイン電圧、(V₀-V₁)/ドレイン電圧を増加させたときに、[(V₀-V₁)/V₁]の値が0となるV₀の値V₀を、前記V₀の絶対値がV₀の、値より小さい負電圧を前記ドレイン領域に印加して、

選択されるメモリセルおよびその選択されるメモリセルと同一の副ビット線に接続された選択されないメモリセルにおいて、なだり破壊が起きないようにした、第2項17に記載の不揮発性半導体記憶装置、

【請求項21】 前記メモリセルは、

前記メモリセルの動作制御手段、前記メモリセルの動作電圧より低い、より低い電圧を有する。【請求項1】に記載の不揮発性半導体記憶装置、

記載の不揮発性半導体記憶装置、

【請求項22】 前記メモリセルは、

前記メモリセルの外部回路の他、前記メモリセルの高出電圧よりも高いしきり値電圧を有する。【請求項1】に記載の不揮発性半導体記憶装置、

【請求項23】 a型領域の表面に形成されたn型ソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電線と、

前記電荷蓄積電線の上に絶縁膜を介在して形成された、前記電線とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイを、

前記複数行に対応して、前記各々のメモリセルの制御電線が接続されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン領域が接続されたビット線と

前記各々のメモリセルのソース領域が接続された、ノープ線と、

前記前記のメモリセルの記憶時に、

選択されない前記ビット線と、選択されない前記ワード線と、前記ノープ線と、前記n型領域と、前記p型領域とを印加するための第1電圧印加手段と、

選択される前記ビット線に、前記第1の電圧よりも1〜2V低い電圧を印加するための第2電圧印加手段と、

選択される前記ワード線に第2の電圧を印加するための第3電圧印加手段と、を有する。不揮発性半導体記憶装置、

【請求項24】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電線と、

前記電荷蓄積電線の上に絶縁膜を介在して形成された、前記電線とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイを、

前記複数列に対応して設けられた複数の主ビット線と、

前記複数のメモリセルと共に設けられたソース線とを備え、

前記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分類され、

前記複数のセクタに対して設けられ、各々が対応するセクタ内の複数の副ビット線群の副ビット線を含む複数の副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット線に接続する選択トランジスタとをさらに備え、

前記前記のメモリセルの記憶時に、

選択されない前記主ビット線と、選択されない前記メモリセルの動作電圧より低い、より低い電圧を有する。【請求項1】に記載の不揮発性半導体記憶装置、

グレートトランジスタと 前記ソース素子と 前記の型領域に属するの電位を制御するための第1電圧制御手段と

上記第1電圧制御手段と、前記ドレインビット線と、前記ドレインビット線と、第1の電位よりも1〜2V低い電位を制御する手段と、第2の電位よりも1〜2V低い電位を制御する手段と

選択されない別ビット線を開放状態にする開放手段と、
解放される前記セレクトゲートトランジスタに第2の電
位を印加する第3電位印加手段と、を有する。不揮発性
記憶体記憶装置。

【請求項5】 前記第1の電位は、正の値の外部電源電位であり、

前記第2の電位は、接触電位である。第1項と第3または第4の電位の差は、不揮発性半導体の価電位差。

【請求項26】 前記第1の電位は、接地電位であり、前記第2の電位は、負の値の外部電位である、請求項25記載の電圧発生回路。

図2.3 または図表項3.4.2.3 記載の不得見性半導体記憶素子

【請求項1】 前記平年表作本簿と密記帳帳の書込時における最大消費電流が、1・1mW以下となるように、密記帳帳の印刷部および密記帳帳の印刷部を用いて、前記ドレーン領域および前記電荷蓄積領域に電流供給および電流供給を抑制する。請求項16に記載の平年表作本簿と密記帳帳。

【公刊】◎ 註冊公證聲明

(100641)

【産業上の利用分野】この発明は、不揮発性半導体記憶装置に関し、より特長的には、シフタル型のメモリセルを用いて、前記および順次などを行なう不揮発性半導体記憶装置に関する。

100021

「従来の妙法」近頃、不揮発性半導体記憶素子の一種であるフラッシュメモリは、ダイナミックランダムアクセスメモリ（DRAM）より安価に製造できるため、次世代半導体メモリの主流として期待されている。

【メモリ】このフラッシュメモリを増設するメモリモジュールは、一般に、制御領域の最端に形成された「2」型のソープ領域とより大きな「1」型のトレイン領域と、このソープ領域とトレイン領域とに挟まれたチャネル領域の上方にトンネル化構造を介して形成されたフロッティングゲート層構造（常電圧負電荷）と、このフロッティングゲート層構造の上方に絶縁層を介して形成されたコントロールゲート層構造（常電圧正電荷）とを有している。

【図10】各々のメモリセルにおいて、ノース領域には、ソース線が接続されている。ドレイン領域には、セト線が接続されている。フローティングゲート電極は、橋組を跨隔する。コントロールゲート電極には、ワード線が接続されている。

【とりひか】ここで、NVR型のフラッシュメモリの動作は動作および読み動作について、図32および図33を

を簡潔に説明する。まず、実効動作においては、図32に示すように、ドレイン領域33とV型ゲートの端部、コントロールゲート37に10V程度の電圧が印加される。また、ソース領域38と、 μ ウェル31とは、接地電位(0V)に保たれる。

【0006】このとき、メモリトランジスタのチャネルには、数個のホールの電流が流れる。ソース領域3からトリーン領域8へと流れた電子のうち、トリーン領域8で近傍で加速された電子は、この近傍で高いエネルギーを有する電子、いわゆるチャネルホットエレクトロンとなる。この電子は、コントロールゲート37に近接した電圧による電界により、抽出回路8に入射されるように、フローティングゲート電極38に注入され、このようにして、フローティングゲート電極38に電子の蓄積が行なわれ、メモリトランジスタの書き込み電圧より、少しと低い値となる。この状態が書き込み状態、"0"と与えられる。

【のり？】次に 準実動作について、第3頁を参照して説明する。ソース領域は2進、16ビットの電圧レベルの異なる、コトローラから電圧3.3Vの1ビットの電圧レベルが印加され、p型ウェルは接地電位に保持される。このとき、ドレイン領域は接地電位にされる。ソース領域は接地電位にされる電圧より高電圧により、所定中央部に形成されるように、フローティングゲート電圧3.3Vの電圧は、隣りトンネル形成電圧3.3Vを下回るとトンネル現象により逆導する。このように、フローティングゲート電圧3.3Vの電圧が引き寄せられることにより、p型ウェルとトンネルのしきい電圧が、接地電位より高電圧となる。この電圧の差により、トンネルが形成される。

【0008】一方、天然したチャンネルポットエレクトロニクスにより異歩を行ない、ドットチャンネル現象によって発生を行ない、いわゆるドットチャンネル現象以外に、一帯帯化のために、書込および消去時の電圧電力を少なくし、メモリアレイが、適切な回線を用いる。その上、つづ

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, NO. 4, APRIL 1994, P. 454-464. 著者は「PRICE T 406, ELEMENT, VOL. 27-C, NO. 8, MARCH, P. 1279」から123項で記載されている「LICOR」(dividing bridge)のブロック図が示されている。

【とりまき】次に、このD×N×G型プラットフォームモータの構造およびその動作原理について、図9に示すように簡単に説明を要して説明する。まず、このD×N×G型プラットフォームモータのモータ部の構造は、上板した入るC型のブランチモータと両端に、C型セル8の2つのブランチH型のソース領域32および空のドレイン領域33で形成された。ソース領域32とドレイン領域33によって透れたチャネル領域の上面に、トランジスタのゲート4を介在してフロッタティングゲル電極35が形成されている。このドレイン・フロッタングゲル電極35の上には、接触線36が介在してコントロール・フロッタング・ドレーン37が形成されている。

で形成されている。

【0010】上記構造よりなるメモリセルは、一般的にスタックゲート型メモリセルと呼ばれ、ソース領域32は、すべてのメモリセルまたは所定の複数のメモリセルよりのバックにおいて微型的に共通に接続されている。コントロールゲート電極37には、ワード線が接続されており、ドレイン領域33には、ビット線が接続されている。このような構成により、所定のワード線と所定のビット線が選択されることにより、所定のメモリセルが選択されることになる。

【0011】また、書き動作については、図34および図35を参照して説明する。書き動作においては、コントロールゲート電極37に $-3\sim-1\text{V}$ 程度の負電位が印加され、ドレイン領域34に、 $0\sim 8\text{V}$ 程度の正電位が印加される。このとき、ウェル31は接地電位(0V)に保たれ、ソース領域32は浮遊状態に置かれる。この状態において、フローティングゲート電極35と、ドレイン領域33とがオーバーラップした領域のトンネル酸化膜34に電子が注入される。この電子の注入により、トンネル現象を生じ、フローティングゲート電極35とトンネル酸化膜34を介してドレイン領域33に電子が注入される。この書き動作により、メモリセルは“Low Memory” (メモリが低状態)となる。

【0012】一方、消去動作においては、コントロールゲート37に、 $0\sim 1.2\text{V}$ 程度の正電位が印加され、ソース領域33およびウェル31に、 $0\sim -1\text{V}$ 程度の負電位を与え、ドレイン領域33を浮遊状態に維持する。これにより、メモリセルのチャネル部に電子50のチャネル層が形成され、このチャネル層とフローティングゲート電極35との間のトンネル酸化膜34に電子50が注入される。このチャネル層により、トンネル現象が生じ、チャネル部の電子50とフローティングゲート電極35を介して注入される。この消去動作により、メモリセルは“High Memory” (メモリが高状態)となる。

【0013】また、読み動作においては、コントロールゲート電極37に“High Memory”と“Low Memory”の間の中間となる $3\sim 5\text{V}$ 程度の正電位を印加し、ソース領域32とウェル31とを接地状態とし、ドレイン領域33に $1\sim 2\text{V}$ 程度の正電位を印加することにより、メモリセルトランジスタに電流が流れるかどうかを確認する。この確認により、メモリセルが“High Memory”か“Low Memory”かを判定する。

【0014】なお、図37は、上述したDINOR型フラッシュメモリセルの電気特性をまとめた図であり、読み時間が長くなるにつれて、しきい値が正の範囲内において小さくなることもわかる。また、図38は、上述したDINOR型フラッシュメモリセルの書き特性をまとめた図であり、消去時間が長くなるにつれて、メモリセルのしきい値が正の範囲において大きくなっていくこともわ

かる。

【0015】

【発明が解決しようとする課題】以上、従来のDINOR型およびDINOR型フラッシュメモリの動作原理について述べたが、上述した従来のDINOR型フラッシュメモリには、次に述べるような明らかな問題がある。

【0016】すなわち、DINOR型フラッシュメモリの書き動作においては、図34および図35に示すような電位印加条件が用いられている。すなわち、ウェル31を接地電位、ソース領域32を開放状態、ドレイン33を正電位、コントロールゲート電極37に負電位をそれぞれ印加して、フローティングゲート電極35とドレイン領域33とを電子50を吸引している。

【0017】この現象は、たとえば「Patent Technical Digest」(1990)の135頁から139頁に記載された図37で説明したDINOR型のフラッシュメモリの原理動作と同じ現象を用いている。このように、対向の不純物拡散層に電子を引き込む方法は、たとえば「Comp. VLSI Technol.」, p.83, 0.82, 1993に記述されている。

【0018】たとえば上述したDINOR型フラッシュメモリについて考慮した場合、図35に示すように、フローティングゲート電極35とドレイン領域32との間に電場がかかると、ドレイン領域33近傍のウェル31内で、バンドバンド間トンネル現象を引き起す。その結果、ドレイン領域33において電子-正孔対50を生成し、ドレインリンクを容易にする。このドレインリンクは、カッパ(Lake Island drain link)と呼ばれる。

【0019】つまり、バンドバンド間トンネル現象によって生成された電子-正孔対50のうちの電子50は、電位を保持ドレイン領域32に引き込まれる。一方、正孔50は、チャネル方向に引き込まれ、ウェル31へと流れる。このとき正孔50は、ドレイン領域32とウェル31の間の空乏層電界により加速され、熱エネルギーを得るため(ホットホールと呼ばれる)。正孔50の一部は、トンネル酸化膜34に注入されることになる。

【0020】この正孔50のトンネル酸化膜34に入ると、その影響は、MOSFETのゲート下に熱電流の流れる領域から広く拡散が行なわれている。一般に、正孔50のトンネル酸化膜34に入ると、著しいダメージを与えることが確認されている。

【0021】たとえば「Comp. VLSI Techn.」, p.43, 0.44, 1993の生産深い研究によれば、ゲート絶縁膜に使用されるシリコン酸化膜のTDB寿命は、電圧印加時に発生した正孔の影響とほぼ相当間隔を有している。また、最近、フラッシュメモリのデータ保持特性の信頼性の観点から、たとえば「第4回応用物理学者会連合講演会講演予稿集」, p.456, 28-4-18「シリコン酸化膜への正孔注入により誘起されたリーク電流の抑制」、

に記載されているように、ゲート酸化膜へのホットホールの注入により、ゲート酸化膜の表面までのリーク電流が増加することが報告されている。

【0022】以上述べたように、従来の FET の良型フラッシュメモリセルにおける問題は、書き込み時に、FET を飽和しやすいため電位印加条件となっている。その結果、書き込み時に、トンネル酸化膜にホットホールが注入され、新しいトンネル酸化膜の劣化を引き起こしてしまう（宮城 K, Tamer Sat, et al, IEEE ELECTRON DEVICE S, Vol. 31, No. 1, JANUARY 1994, p. 150）。

【0023】そこで、近年においては、上記のようなホットホールの注入によるトンネル酸化膜の劣化を抑制するために、たとえば図 4 のように、ドレイン領域 3 とを接続するように、種々な形の不純物層をもちいた電界緩和層 4 が形成されるようになっていく。このように電界緩和層 4 を設けることにより、フローティングゲート 5 から FET のトンネル現象により電子の引き抜きを伴うドレイン領域 3 において、電界の電界の緩和を行なうことが可能となる。

【0024】しかしながら、この電界緩和層 4 の形成は、不純物の拡散とフローティングゲート酸化膜 3 との重なり長さが長くなるために、実効ゲート長を短くすることができなくなる。したがって、メモリセルの実効ゲート長の短縮化を望む場合、この電界緩和層 4 の存在のために、より長い実効ゲート長を有するメモリセルにおいても、メモリセルの書き込み速度という問題点があった。

【0025】したがって、従来の FET の良型フラッシュメモリのメモリセルにおいては、実効ゲート長を短く電界緩和を施すことができないため、メモリセルの書き込み速度が問題となっている。

【0026】この発明は、上記問題を解決するためになされたもので、メモリセルの信頼性を可能にする、メモリセル現象の抑制、不揮発性半導体記憶装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

（1） 第 1 の発明

第 1 の発明に係る不揮発性半導体記憶装置は、n 型領域の表面に形成された p 型のソース領域および p 型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの書き込み時に、上記ドレイン領域に負電位を印加するための負電位印加手段と、上記電荷蓄積電極に正電位を印加するための正電位印加手段とを備え、上記ドレイン領域におけるトンネルバリア層トンネル電流過程において、トンネル電流により、上記ドレイン領域

から上記電荷蓄積電極へ電子の注入が行なわれる。

【0028】（2） 第 2 の発明

第 2 の発明に係る不揮発性半導体記憶装置においては、n 型領域の表面に形成された p 型のソース領域および p 型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの書き込み時に、上記ドレイン領域に負電位を印加するための負電位印加手段と、上記電荷蓄積電極に正電位を印加するための正電位印加手段とを備え、上記電荷蓄積電極と上記ドレイン領域とに挟まれた領域のトンネル酸化膜に形成された電荷蓄積電極からトンネル現象により上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる。

【0029】（3） 第 3 の発明

第 3 の発明に係る不揮発性半導体記憶装置においては、n 型領域の表面に形成された p 型のソース領域および p 型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの書き込み時に、上記制御電極に負電位を印加するための負電位印加手段と、上記ソース領域および上記ドレイン領域に正電位を印加するための正電位印加手段とを備え、上記チャネル領域化、正孔のチャネルを形成し、上記正孔のチャネル層と上記電荷蓄積電極との間に介在するトンネル酸化膜に形成された電荷蓄積電極からトンネル現象により、上記電荷蓄積電極から上記正孔のチャネル層へ電子の注入を行なっている。

【0030】（4） 第 4 の発明

第 4 の発明に係る不揮発性半導体記憶装置においては、上記第 1 または第 2 の発明において、上記不揮発性半導体記憶装置のデータの書き込み時に、上記ドレイン領域に正電位を印加する手段とを備えている。

【0031】（5） 第 5 の発明

第 5 の発明に係る不揮発性半導体記憶装置においては、上記第 1 または第 2 の発明において、上記チャネル領域は、p 型の絶縁膜を有する。

【0032】（6） 第 6 の発明

第 6 の発明に係る不揮発性半導体記憶装置においては、上記第 1 または第 2 の発明において、上記電荷蓄積電極は、n 型のポリシリコンを含む。

【0033】（7） 第 7 の発明

第 7 の発明に係る不揮発性半導体記憶装置においては、上記第 1 または第 2 の発明において、上記電荷蓄積電極は、p 型のポリシリコンを含む。

13

【0034】(8) 第4の発明

第4の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の前記において、上記ソース領域と上記ドレイン領域とは、上記電荷蓄積電極および上記制御電極に対して対称構造である。

【0035】(9) 第5の発明

第5の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記ドレイン領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度および上記ドレイン領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0036】(10) 第10の発明

第10の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記ドレイン領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0037】(11) 第11の発明

第11の発明に係る不揮発性半導体記憶装置において、上記第1の発明において、上記ドレイン領域において、上記ソース領域に接して形成され、上記ソース領域の不純物濃度よりも低濃度のn型半導体を有する第1不純物領域と、上記ドレイン領域に接して形成され、上記ドレイン領域の不純物濃度よりも低濃度のp型半導体を有する第2不純物領域とを備えている。

【0038】(12) 第12の発明

第12の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記ドレイン領域において、上記ドレイン領域に接して、上記ドレイン領域を囲むようにして形成されたn型の第3不純物領域を備えている。

【0039】(13) 第13の発明

第13の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記ドレイン領域の膜厚は、 15 nm 以下である。

【0040】(14) 第14の発明

第14の発明に係る不揮発性半導体記憶装置において、第2の発明において、上記ドレイン領域において、上記ドレイン領域を囲むように形成されたn型の第1不純物領域と、上記ソース領域に接するように形成されたp型の第2不純物領域とを備えている。

【0041】(15) 第15の発明

第15の発明に係る不揮発性半導体記憶装置においては、第3の発明において、上記ドレイン領域を囲む状態にする開放構造をさらに備えている。

【0042】(16) 第16の発明

第16の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明において、上記制御電極と上記電荷蓄積電極と上記ソース領域と上記ドレイン領

14

域とでメモリセルが形成され、上記不揮発性半導体記憶装置は、上記メモリセルの複数行および複数列に配列されたメモリセルアレイと、上記配列行に対応して上記メモリセルの制御電極が接続されたワード線と、上記複数列に対応して上記各々のメモリセルのドレイン領域が接続されたビット線とを有している。

【0043】(17) 第17の発明

第17の発明に係る不揮発性半導体記憶装置においては、上記第18の発明において、上記メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域をさらに備え、上記周辺回路領域はマルチチャンネル型MOSトランジスタを有し、上記メモリセルの上記ソース領域と上記ドレイン領域とか、上記マルチチャンネル型MOSトランジスタを構成するソース領域およびドレイン領域と同一の構造を有する。

【0044】(18) 第18の発明

第18の発明に係る不揮発性半導体記憶装置において、第16の発明であって、上記ビット線は、主ビット線と副ビット線とを含み、上記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、上記複数のセクタに対して掛けられ、各々が対応するセクタ内の複数行に対応する複数の上記副ビット線を含む副ビット線群と、上記複数の副ビット線群を選択的に上記複数の主ビット線に接続する選択トランジスタを備え、上記選択トランジスタは、マルチチャンネルトランジスタである。

【0045】(19) 第19の発明

第19の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、上記副ビット線は全周形成構造である。

【0046】(20) 第20の発明

第20の発明に係る不揮発性半導体記憶装置において、第18の発明であって、上記負電圧印用手段は、上記不揮発性半導体記憶装置の書き時に、 V_{write} の特性において $(V_{\text{d}} + \text{ドレイン電圧}) - V_{\text{d}}$ のドレイン電圧 V_{d} の絶対値を増加させたときに、 $(V_{\text{gate}} + V_{\text{d}}) - V_{\text{gate}}$ の値が一定となる V_{gate} の値 V_{gate} を求め、 V_{d} の絶対値が V_{d} の値より小さい負電圧を前記ドレイン領域に加して、選択されるメモリセルおよびその選択されるメモリセルと同一のビット線に接続された選択されないメモリセルにおいて、なだれ接続が起こないようにしている。

【0047】(21) 第21の発明

第21の発明に係る不揮発性半導体記憶装置において、第18の発明であって、上記メモリセルは、上記メモリセルの製作終了の後、上記メモリセルの読出動作よりも低いしきい値電圧を有している。

【0048】(22) 第22の発明

第22の発明に係る不揮発性半導体記憶装置において、第16の発明であって、上記メモリセルは、上記

50

15

メモリの外部記憶装置への上記メモリの送出動作より高いい値を有している。

【0040】(25) 第25の発明

第23の発明に係る不揮発性半導体記憶装置において、
15 1) 記憶領域の分割に形成された型のソース領域およびp型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有するメモリセルと、上記メモリセルが複数行および複数列に配列されたメモリセルアレイと、上記複数行に対応して、上記各々のメモリセルの制御電極が接続されたワード線と、上記各々のメモリセルのソース領域が接続されたソース線とを有し、上記所定のメモリセルの読出し時に、選択されない副ビット線と、選択されない上記ワード線と、上記ソース線と、上記副ビット線とに第1の電位を印加するための第1の電位印加手段と、選択される上記副ビット線に、上記電位の電位よりも1〜2V低い電位を印加するための第2の電位印加手段と、選択される上記ワード線に第2の電位を印加するための第3の電位印加手段とを有している。
【0050】(26) 第26の発明

第24の発明に係る不揮発性半導体記憶装置において、
20 1) 記憶領域の分割に形成されたp型のソース領域およびp型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有するメモリセルと、上記メモリセルが複数行および複数列に配列されたメモリセルアレイと、上記複数列に対応して接続された複数の副ビット線と上記複数のメモリセルの共通に接続されたソース線とを有し、上記複数のメモリセルは、各々の複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、上記複数のセクタに対応して設けられ、各々が対応するセクタ内の複数列に対応する複数の副ビット線を並列に接続した副ビット線群と、上記複数の副ビット線群を選択的に絶縁状態の主ビット線に接続するセレクトゲートトランジスタとを各々に備え、上記所定のメモリの読出し時に、選択されない上記主ビット線と、選択されない上記セレクトゲートトランジスタと、上記ソース線と、上記副ビット線とに第1の電位を印加するための第1の電位印加手段と、選択されない副ビット線を選択状態にする副電位手段と、選択される上記セレクトゲートトランジスタと第2の電位を印加する第3の電位印加手段とを有している。
【0051】(25) 第25の発明

16

第25の発明に係る不揮発性半導体記憶装置において、
25 第23または第24の発明であって、上記第1の電位は正の極の外部電圧電位であり、上記第2の電位は接地電位である。

【0052】(26) 第26の発明

第23の発明に係る不揮発性半導体記憶装置において、
30 第23または第24の発明であって、上記第1の電位は接地電位であり、上記第2の電位は負の極の外部電圧電位である。

【0053】(27) 第27の発明

第27の発明に係る不揮発性半導体記憶装置において、
35 第1月の発明であって、上記不揮発性半導体記憶装置の読出し時に用いる最大消費電流が1メモリスル値以上A以下となるように、上記副電位印加手段および正電位印加手段を用いて、上記ドレイン領域および上記電荷蓄積電極に、副電位および正電位を印加している。

【0054】

【作用】第1、第4〜第13、第16〜第22の発明に係る不揮発性半導体記憶装置においては、pチャネル型のフラッシュメモリを用いて、このフラッシュメモリのデータの書き込み時に、ドレイン領域に負電位、電荷蓄積電極に正電位が印加される。

【0055】これにより、ドレイン領域においてバンドーバンド間トンネル電流が発生し、電圧正電位が形成される。そのうち電圧は極方向の電界によりチャネル空間に加速され、高エネルギーを有する電子は、トランジスタとなる。このとき、制御電極に正電位が印加されているため、この高エネルギー電子は容易にトンネル酸化膜に注入され、電荷蓄積電極まで達することができ、
40 このように、バンドーバンド間トンネル電流がトランジスタエレクトロン注入により、電荷蓄積電極への電子が正入が行なわれる。

【0056】次に、第2、第4〜第8、第14、第15〜第20の発明に係る不揮発性半導体記憶装置においては、上述した発明と同様に、pチャネル型のフラッシュメモリを用いて、このフラッシュメモリのデータの書き込み時に、ドレイン領域に負電位、電荷蓄積電極に正電位が印加されている。

【0057】これにより、電荷蓄積電極とドレイン領域との間より領域上のトンネル酸化膜に電荷が注入される。その逆電界により、F-Nトンネル現象が発生し、ドレイン領域からトンネル酸化膜を介して電荷蓄積電極へ電荷を注入することが可能となる。

【0058】次に、第3、第15、第16〜第19の発明に係る不揮発性半導体記憶装置においては、pチャネル型のフラッシュメモリを用いて、このフラッシュメモリのデータの読出し時に、制御電極に電位を印加し、ソース領域および記憶領域に正電位を印加している。
50 【0059】これにより、チャネル領域に正電位のチャネル場が形成され、この正電位のチャネル場と電荷蓄積電極

25

との間に存在するトンネル障壁と電荷障壁が印刷される。そのため、このトンネル障壁化膜において、ドナトンネル障壁が形成し、電荷蓄積電極から近凡のチャネル層へ電荷の注入を行うことができる。

【0060】次に、第2の、第2の、第2の発明に係る不揮発性半導体記憶装置においては、pチャネル型のいわゆるE型のアラッシュメモリを用いて、このフラッシュメモリのデータの読出時に、選択されないビット線と、選択されないワード線と、ソース線と、n型領域に第1の電位を印刷し、選択されるビット線に、第1の電位より高い電位を印刷し、選択されるワード線に第2の電位を印刷している。

【0061】このようにして、第1および第2の電位の2種類の電位を印刷するのみでアラッシュメモリの読出動作を行うことが可能となる。

【0062】次に、第2の、第2の、第2の発明に係る不揮発性半導体記憶装置においては、pチャネル型のいわゆるE型のアラッシュメモリを用いて、このフラッシュメモリのデータの読出時に、選択されないビット線と、選択されないセレクトゲートラインと、ソース線と、n型領域に第1の電位を印刷し、選択されるビット線と選択される副ビット線とに第1の電位より高い電位を印刷し、選択されない副ビット線を開放状態とし、選択されるセレクトゲートラインに第2の電位を印刷している。

【0063】これにより、pチャネル型のE型のアラッシュメモリの読出時に、2つの電位を用いることにより、データの読出を行うことが可能となる。

【0064】次に、第4の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、不揮発性半導体記憶装置にデータの読出時に、さらにソース領域を開放状態にする開放手段と、n型領域を開放状態にする導通手段とを備えている。

【0065】これにより、データの読出時に、不揮発性半導体記憶装置の動作を安定して行うことが可能となる。

【0066】次に、第5の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、チャネル領域にp型の絶縁層を有している。

【0067】このように、p型の絶縁層を設けることにより、n型領域とトンネル障壁化膜との界面でのホール効果によるホールの移動度の低下を解消することができ、

【0068】次に、第6の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明において、電荷蓄積電極がn型のポリシリコンである。

【0069】このように、電荷蓄積電極をn型のポリシリコンとすることにより、ドレイン領域における表面積

36

ドナトンネル障壁の発生が抑えられ、かつ結晶境界の増大する。そのため、ドレイン領域において、電荷が得るエネルギーが低くなり、漏れ電流を向上させることが可能となる。

【0070】次に、第7の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、電荷蓄積電極がn型のポリシリコンである。

【0071】このように、電荷蓄積電極をn型のポリシリコンとすることにより、ドレイン領域における表面積方向電界が高くなり、バンドバンド間トンネル障壁の発生量が低くなる。そのため、ドレイン領域における漏れ電流が低くなるため、電荷が得るエネルギーが低くなり、漏れ電流を向上させる。

【0072】次に、第8の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、ソース領域をドレイン領域とは、電荷蓄積電極および制御電極に対して反対極とされている。

【0073】このように反対極とすることにより、ソース領域およびドレイン領域の形成におけるイオン注入時に、電荷が得るエネルギーが低くなり、漏れ電流を向上させる。

【0074】次に、第9の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下に位置するドレイン領域およびソース領域の不揮発性半導体記憶装置は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0075】これにより、バンドバンド間トンネル障壁化膜化により、電荷が得るエネルギーが低くなり、漏れ電流を向上させる。

【0076】次に、第10の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下に位置するドレイン領域の不揮発性半導体記憶装置は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

【0077】このように、ドレイン領域のバンドバンド間トンネル障壁化膜の発生量を低くすることができる。その結果、電圧の向上および漏れ電流のドレイン電圧と電荷蓄積電極の形成が可能となる。

【0078】次に、第11の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、ソース領域に接する第1の不揮発性半導体記憶装置は、

【0079】このように、電荷蓄積電極をn型のポリシリコンとすることにより、漏れ電流を向上させる。

【0080】次に、第12の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、ドレイン障

17

域を制御しようとする第 3 平極物領域が形成されている。
 【0081】これにより、ドレイン電圧域における横方向電界が増大し、効率的に電子を高エネルギー化することができる。

【0082】次に、第 13 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、トンネル層の傾斜を 15 nm 以下としている。

【0083】これにより、たとえば比較的低温で、トンネル層に熱的効果電圧が印加されるため、バンドバンド間トンネル電流を効率的に発生させることができる。

【0084】次に、第 14 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、ドレイン領域を最狭幅第 2 不純物領域と、ソース領域を最狭幅第 3 不純物領域とが形成されている。

【0085】この構造により、ソース領域に形成された第 3 不純物領域により、メモリセルのバンドスループ特性を向上させることができる。また、ドレイン領域に形成された第 2 不純物領域により、ドレイン領域と不純物領域との間の電圧を向上させることが可能となる。

【0086】次に、第 15 の発明に係る不揮発性半導体記憶装置においては、第 3 の発明であって、書き時にドレイン領域を閉鎖状態にする閉鎖手段を備えている。

【0087】これにより、不揮発性半導体記憶装置の消去動作を安定に行なうことが可能となる。

【0088】次に、第 16 の発明に係る不揮発性半導体記憶装置においては、第 2 の発明であって、制御電線と制御電線電圧とソース領域とドレイン領域とによりメモリセルが形成され、このメモリセルが複数行および複数列に配列されたメモリセルアレイと、メモリセルの制御電線が接続されたワード線と、メモリセルのドレイン領域が接続されたビット線とを有している。

【0089】したがって、 n チャネル型のメモリセルからなるたとえば $N \times M$ 型のラッシュメモリ、 $2 \times N$ の N 型のラッシュメモリを構成することが可能となる。

【0090】次に、第 17 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、メモリセルのソース領域とドレイン領域とが、側面制御領域に形成される n チャネル型 N のトランジスタのソース領域およびドレイン領域と同一の構造を有している。

【0091】上述した構造を用いることにより、メモリセルと、周辺回路領域に形成されるトランジスタとのソース領域およびドレイン領域のイオン注入のためのマスクを共通することができる。

【0092】次に、第 18 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、いわゆる主ビット線と副ビット線とを有する $D \times N$ の D 横断断性半導体記憶装置において、選択トランジスタに n チャネル型トランジスタを用いている。

18

【0093】この構造により、選択トランジスタをメモリセルと同一のウェル内に形成することが可能となる。

【0094】次に、第 19 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、いわゆる主ビット線と副ビット線とを有する $D \times N$ の D 横断断性半導体記憶装置において、副ビット線が、金属配線層から形成されている。

【0095】この構造により、従来のポリシリコン材料による副ビット線に比べ、ドレイン領域とのコンタクト抵抗を低くすることができる。また、金属配線材料を用いることにより、配線抵抗が極めて低くなり、副ビット線による寄生抵抗低減を図えることができる。

【0096】次に、第 20 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、不揮発性半導体記憶装置の書き時において、 V_{dd} は書き電圧として V_{dd} : ドレイン電圧、 V_{d1} : ドレイン電圧、 V_{d2} の絶対値を増加させたときに、 $V_{d1} < V_{d2}$ の値が V_{d1} の値からなる V_{d2} の値 V_{d1} を求め、 V_{d1} の絶対値が V_{d1} の値より小さい負電圧を副ビット線領域に印加し、蓄積されるメモリセルと、選択されないメモリセルにおいて、なだれ破壊が起きないようにしている。

【0097】これにより、たとえば、なだれ破壊が起きようとする電圧を印した場合のような選択されないメモリセルにおける寄生電流が大きくなり増大し、メモリセルの消費電力の低下を招くことや、漏れ電圧を、不揮発性半導体記憶装置の $D \times N$ の問題を回避して、完成している場合において、消費電力低減能力に制約があるため、上記に書かれたメモリセルの数が減少し、結果的に N のメモリセルの書き速度の低下を回避することが可能となる。

【0098】次に、第 21 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、メモリセルの制御電線の線、メモリセルの読み出しより低いしきい値電圧を有している。

【0099】これにより、たとえば読み出しより低いしきい値電圧が高い場合と比べ、消去状態のメモリセルのしきい値と閉鎖状態のしきい値電圧との差が大きくなる。このとき、書き時におけるドレイン電圧に耐える耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0100】次に、第 22 の発明に係る不揮発性半導体記憶装置においては、第 1 の発明であって、メモリセルの読出電線より低いしきい値電圧を有している。

【0101】これにより、読み出しにおけるチャージに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0102】次に、第 23 の発明に係る不揮発性半導体記憶装置においては、 n チャネル型の $N \times M$ 型のラッシュメモリを用い、この $N \times M$ のラッシュメモリ

19

データの発出時に、選択されないビット線と、選択されないワード線と、ソース線とドレイン領域上に第1の電位を印加し、選択されるビット線に第1の電位よりも1〜2V低い電位を印加し、選択されるワード線に第2の電位を印加している。

【0100】これにより、第1および第2の2種類の電位を用いることとなり、 α チャネル型のいわゆるN⁺のR型フラッシュメモリの読出動作を行なうことが可能となる。

【0101】次に、第24の発明に係る不揮発性半導体記憶装置においては、 α チャネル型のDINOR型のフラッシュメモリを用い、このDINOR型のフラッシュメモリのデータの読出時に、選択されないビット線と、選択されないセレクトゲートトランジスタと、ソース線とドレイン領域上の電位を用出し、選択されるビット線と選択されるセレクトゲートと、第1の電位よりも1〜2V低い電位を印加し、選択されないビット線を開放状態とし、選択されるセレクトゲートトランジスタに第2の電位を印加している。

【0102】これにより、 α チャネル型のいわゆる α のDINOR型フラッシュメモリの読出時に、2種類の電位を用いることにより、読出動作を行なうことが可能となる。

【0103】次に、第25の発明に係る不揮発性半導体記憶装置においては、第2または第24の発明であって、第1の電位は正の値の外部電位電位であり、第2の電位は接地電位である。

【0104】これにより、メモリセル内においては、正の値を外部電位電位のみを用いることにより、 α チャネル型のDINOR型フラッシュメモリの読出動作を行なうことが可能となる。

【0105】次に、第26の発明に係る不揮発性半導体記憶装置においては、第2または第24の発明であって、第1の電位は接地電位であり、第2の電位は負の値の外部電位電位である。

【0106】これにより、メモリセル内においては、負の値の外部電位電位の1つの電位を用いることにより、 α チャネル型のDINOR型フラッシュメモリの読出動作を行なうことが可能となる。

【0107】次に、第27の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、高圧時における最大消費電流であるドレイン電流が、 I_{d0} 以下となるように書き込み印加条件が設定されている。

【0108】これにより、先よる低消費1000μA以上のメモリセルを同時に複数個に書き込みが可能となり、メモリセル当たりの実効書き込み速度の高速化を実現することができ

る。

【0109】

【実施例】

(第1実施例) 以下、この発明に基づいた第1の実施例

について、図を参照しながら説明する。まず、この第1の実施例における不揮発性半導体記憶装置の構成について、図1を参照して説明する。

【0113】この実施例における不揮発性半導体記憶装置の構造は、 α 型 α セルの表面に、 α 型のソース線および α 型のドレイン領域が形成されている。なお、図1において、ソース領域およびドレイン領域と α セルとの境界は、それぞれ a 線と b 線と a 、 b が形成されている。

【0114】ソース領域とドレイン領域との間に挟まれたチャネル領域の上方には、トンネル酸化膜4を介して、フローティングゲート電極も形成されている。このフローティングゲート電極もとの方には、絶縁層も介在してコントロールゲート電極7が形成されている。なお、絶縁層とは、一般には、酸化膜、窒化膜および有機膜からなる3層の積層膜が用いられている。

【0115】上記構造よりなる不揮発性半導体記憶装置の書込、消去および読出動作について説明する。

【0116】まず書込時においては、図1および図4を参照して、コントロールゲート電極7に4〜11V程度の正電位を印加し、ドレイン領域に3〜4V程度の負電位を印加し、ソース領域とドレイン領域との間に、 α セルを構成電位とする。すなわち、従来の α チャネル型DINORトランジスタを用いたDINOR型フラッシュメモリの書込時と違の電位の電位配置で電位を印加する。

【0117】このとき、図1のAで示す領域における書込動作の模式図を概略的に示す。ドレイン領域においては、バンドバンド間トンネル電流が発生し、電子正孔対が生成される。そのうち電子 e は、極方向半導体により、チャネル方向に加速され、 α セル α を有するホットエレクトロンになる。このとき、コントロールゲート7には正電位が印加されているため、このホットエレクトロン e は容易にトンネル障壁内に注入され、フローティングゲート電極4に蓄積することとなる。このバンドバンド間トンネル電流がホットエレクトロン e により、フローティングゲート電極への電子の注入を行ない、本実施例におけるメモリの書込動作を行なっている。

【0118】この書込動作により、メモリセルは、“Low Vt” (Vtが低い状態。ただし、 α チャネル型トランジスタのため、負の符号で絶対値が α となる。)となる。

【0119】次に、消去動作について、図1および図4を参照して説明する。消去動作においては、コントロールゲート電極7に4〜4V程度の負電位を印加し、ソース領域および α セル α に1〜2V程度の正電位を印加し、ドレイン領域を開放状態とする。つまり、 α チャネル型MOSトランジスタを用いたDINOR型フラッシュメモリの書込時と違の電位の電位配

1) N型半導体フラッシュメモリを表現されるのである。
 【0135】この1) N型半導体フラッシュメモリに含まれるメモリセルマトリックスは、以下に説明するように複数のセクタに分割されている。表1〜表3には、選択されたセクタ内のメモリセル(メモリトランジスタ)および非選択のセクタ内のメモリセル(メモリトランジスタ)への電圧印加条件が示される。表1ないし表3において、Vdはドレイン電圧、Vgはコントロールゲート電極電圧、Vsはソース接続電圧、Vbはバックウェル電圧を示す。表1〜表3にある電圧条件は、一実施例として示しており、セクタ数、メモリ数などは、簡単に、別の数値での例を示している。

【0136】

【表1】

書き込み印加電圧

選択セクタ印加電圧				非選択セクタ印加電圧			
Vd	Vg	Vs	Vb	Vd	Vg	Vs	Vb
開放	-10V	8V	8V	開放	0V	8V	8V

【0137】

【表2】

書き込み印加電圧

選択セクタ印加電圧				非選択セクタ印加電圧			
Vd	Vg	Vs	Vb	Vd	Vg	Vs	Vb
-5V	8V	開放	0V	開放	0V	0V	0V

【0138】

【表3】

読出し印加電圧

選択セクタ印加電圧				非選択セクタ印加電圧			
Vd	Vg	Vs	Vb	Vd	Vg	Vs	Vb
2V	0V	3V	3V	開放	0V	3V	3V

【0139】(a) 2) 非発性半導体記憶装置の全体の構成

図4は、この実施例における非発性半導体記憶装置の全体の構成を示すブロック図である。

【0140】メモリセルマトリックス70はセクタS0、S1、S2に分割されている。メモリセルマトリックス70は、セクタS0、S1、S2にそれぞれ対応するセレクトゲートSG0、SG1を含む。メモリセルマトリックス70は、バックウェル領域71内に形成される。

【0141】メモリセルマトリックス70は2つの主ビット線MB0、MB1が配列される。主ビット線MB0、

MB1はそれぞれセレクト72内のゲートトランジスタYG0、YG1を有してセンスアンプ52および書込回路53に接続される。

【0142】主ビット線MB0に対応して2つの副ビット線SB01、SB02が設けられ、主ビット線MB1に対応して2つの副ビット線SB11、SB12が設けられる。

【0143】副ビット線SB01、SB11に接続するようにワード線W0、W1が配列され、副ビット線SB02、SB12に接続するようにワード線W2、W3が配列される。ここで副ビット線が材料をA、タンダステンなどの高融点金属材料、低融点金属材料のシリサイド材料などの金属材料の層構造を用いることにより、シリサイドからなる配線材料に比べ、配線層のコンタクト抵抗を十分低くすることができる。また、配線抵抗が小さいことから、副ビット線による寄生抵抗効果を抑えることもできる。

【0144】副ビット線SB01、SB02、SB11、SB12とワード線W0〜W3との交点にそれぞれメモリセル(メモリトランジスタ)M00〜M33、M10〜M13が設けられる。メモリセルM00、M01、M10、M11はセクタS0に含まれ、メモリセルM02、M03、M12、M13はセクタS1に含まれる。

【0145】各メモリセルのドレイン領域は共通する副ビット線に接続され、コントロールゲート電極は共通するワード線に接続され、ソース領域はソース線54に接続される。

【0146】セレクトゲートSG1はセレクトゲートトランジスタSG01、SG11を含む。セレクトゲートSG0はセレクトゲートトランジスタSG02、SG12を含む。副ビット線SB01、SG02はそれぞれセレクトゲートトランジスタSG01、SG02を介して主ビット線MB0に接続され、副ビット線SB11、SG12はそれぞれセレクトゲートトランジスタSG11、SG12を介して主ビット線MB1に接続される。

【0147】アドレスバッファ8は、外部から与えられるアドレス信号を並び、Xアドレス信号をXデコーダ559に与え、Yアドレス信号をYデコーダ57に与える。Xデコーダ559は、Xアドレス信号に対応して複数のワード線W0〜W3のうちいずれかを選択する。Yデコーダ57は、Yアドレス信号に応じて複数の副ビット線MB0、MB1のいずれかを選択する選択信号を発生する。

【0148】Yアット72内のゲートトランジスタは、それぞれ選択信号に応じて主ビット線MB0、MB1をセンスアンプ52および書込回路53に接続する。

【0149】読出し時には、センスアンプ52が、主ビット線MB0または主ビット線MB1上に設けられたデ-

25

タを抽出し、データ入出力バッファを介して外部に出力する。

【0150】書込時には、外部から与えられるデータがデータ入出力バッファを介して書込回路53に与えられ、書込回路53はそのデータに従って主ビット線M0-M15にプログラム電圧を与える。

【0151】負電圧発生回路54は、外部から電源電圧Vcc（以下をV）を受け、負電圧を発生する。負電圧発生回路56は外部から電源電圧Vccを受け、高電圧発生回路56は外部から電源電圧Vccを受け、高電圧を発生する。メモリセルM0-M15に正電圧（5V）を印加し、消去時には、ソース制御回路52は、消去時に、ソース線51に高電圧を与える。セレクトゲート電圧VSGは、アドレスバッファ55からアドレス信号の一部に基拠して、セレクトゲートSG1、SG2を選択的に活性化する。

【0152】読み/消去制御回路59は、外部から与えられる制御信号に基拠して、各回路の動作を制御する。

【0153】(a) 不揮発性半導体記憶装置の動作方式に、不揮発性半導体記憶装置のセクタ消去動作、書込動作および読出動作を、1-3を参照しながら説明する。

【0154】(1) セクタ消去動作

ここでは、セクタSE1を一例として説明する。まず、書込/消去制御回路59にセクタ・抹消動作を指定する制御信号が与えられる。それにより、負電圧発生回路54および高電圧発生回路56が活性化される。

【0155】負電圧発生回路54はXデコーダ58に負電圧（-10V）を与える。Xデコーダ58は、セクタSE1のワード線WL0、WL1に負電圧（-10V）を印加し、セクタSE2のワード線WL2、WL3に0Vを印加する。高電圧発生回路56はYデコーダ57およびYメモリ線駆動回路51に高電圧を与える。Yデコーダ57は、Yゲート72内のYゲートトランジスタYG0-YG1に高電圧を印加する（Yゲートトランジスタ・セレクトゲートトランジスタをチャネル型MOSトランジスタで形成した例を示す）。それにより、主ビット線M0-M15はフィッシュン状態になる。ソース制御回路52は、ソース線51に正電圧（5V）を印加する。また、ウェル電圧発生回路51は、ウェル線WL1に正電圧（5V）を印加する。セレクトゲートデコーダ53はセレクトゲートSG1、SG2をOFF状態にする。

【0156】このようにして、選択セクタSE1内のメモリセルおよび保護セクタSE2内のメモリセルに、表1に示されるように電圧が印加される。その結果、セクタSE1内のすべてのメモリセルは消去される。

26

【0157】(1) 書込動作

ここでは、メモリセルM00をプログラムするものと仮定する。すなわち、メモリセルM00にデータ“0”を書込み、メモリセルM10にデータ“1”を保持する。

【0158】まず、書込/消去制御回路59は、プログラム動作を指定する制御信号が与えられる。それにより、負電圧発生回路54および高電圧発生回路56が活性化される。

【0159】高電圧発生回路56はXデコーダ58に高電圧を与える。Xデコーダ58は、アドレスバッファ55から与えられるXアドレス信号に基拠してワード線WL0-WL3を基拠し、選択されたワード線WL0に高電圧（5V）を印加し、非選択のワード線WL1-WL3に0Vを印加する。

【0160】負電圧発生回路54はYデコーダ57・書込回路53およびセレクトゲートデコーダ53に負電圧を与える。まず、外部からデータ入出力バッファ51を介してデータ“0”が書込回路53に与えられ、ラッチされる。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号に基拠してYゲート72内のYゲートトランジスタYG0に負電圧を印加し、YゲートトランジスタYG1に0Vを印加する。それにより、YゲートトランジスタYG0がONする。

【0161】書込回路53はYゲートトランジスタYG0を介して主ビット線M0-M15にデータ“0”に対応するプログラム電圧（-3V）を印加する。また、セレクトゲートデコーダ53は、セレクトゲートSG1をON状態にし、セレクトゲートSG2をOFF状態にする。それにより、主ビット線M0-M15に接続される。ソース制御回路52は、ソース線51をフィッシュン状態にする。ウェル電圧発生回路51は、ウェル線WL1に0Vを印加する。

【0162】このようにして、メモリセルM00は、表2の示されるように電圧が印加される。その結果、メモリセルM00のしきり値電圧を上回る（しきり値電圧は高電圧であるので、0に近い方向へ変化する）。

【0163】一定時間（たとえば1μs）経過後、外部からデータ入出力バッファ51を介してデータ“1”が書込回路53に与えられ、ラッチされる。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号に基拠してYゲート72内のYゲートトランジスタYG0に負電圧を印加し、YゲートトランジスタYG1に0Vを印加する。それにより、YゲートトランジスタYG1がONする。書込回路53は、YゲートトランジスタYG1を介して主ビット線M1にデータ“1”に対応する5Vを印加する。

【0164】このようにして、メモリセルM10は、表2の示されるように、電圧が印加される。その結果

30

29

を兼ね、

【0177】メモリセルマトリックス101は、行列状に配置された複数個のメモリトランジスタをその内部に有する。メモリセルマトリックス101は、Nウェル領域114内に形成される。メモリセルマトリックス101の行および列を選択するために、Xアドレスデコーダ102とYデコーダ103とが接続されている。Yデコーダ103には列の選択信号を与えるYアドレスデコーダ104が接続されている。Xアドレスデコーダ102とYアドレスデコーダ104とは、それぞれ、アドレス情報からアドレスバッファ105が接続されている。

15

【0178】Yデコーダ103には、データ入力時に固定動作を行なうための固定回路108とデータ出力時に流れる電流値から「0」と「1」を判定するセンスアンプ107が接続されている。固定回路108とセンスアンプ107とは、それぞれ、入力データを一時的に保持する入出力バッファ109が接続されている。

【0179】図9に示すメモリセルマトリックス101の中には、その初期動作を必ず等価回路が示されている。このメモリセルマトリックス101を有するウェルメモリが図10Aと呼ばれる。

20

【0180】メモリセルマトリックス101は、行方向に係わる複数のワード線W₁、W₂、…、W_Nと、列方向に係わる複数のビット線B₁、B₂、…、B_Mとが互いに直交するように配置され、マトリックスを構成する。各ワード線と各ビット線と交叉点には、それぞれブロッティングゲートを得るメモリトランジスタQ₁、Q₂、…、Q_Nが形成されている。各メモリトランジスタのドレイン領域には、各ビット線が接続されている。メモリトランジスタのコントロールゲート電極には、各ワード線が接続されている。メモリトランジスタのソース領域には各ソース線S₁、S₂、…、S_Nが接続されている。同一行に属するメモリトランジスタのソースは、両方に示されるように相互に接続されている。

【0181】高電圧発生回路112は外部から電圧降下V_{cc}（たとえば3V）を受け高電圧を発生する。高電圧発生回路110、111は外部から電源電圧V_{cc}を受け、高電圧を発生する。ウェル電位発生回路113は、Nウェル領域114に高電圧を印加する。ソース制御回路108は読出時にソースライン51に高電圧を与える。

【0182】次に、消去動作、書込動作、読出動作を表す表8を参照しながら説明する。なお、表4～表7にあら電圧印加条件は、一実施例としての値を示している。

【0183】

【表4】

19

消去時印加電圧

ビット線	ワード線	ソースライン	Nウェル
開放	-10V	8V	8V

【0184】

【表5】

書込時印加電圧

ビット線	ワード線	ソースライン	Nウェル
5V	6V	開放	0V

【0185】

【表6】

読出時印加電圧

ビット線	ワード線	ソースライン	Nウェル
2V	0V	3V	5V

【0186】(1) 消去動作

高電圧発生回路111はXアドレスデコーダ102に高電圧（-10V）を与える。Xアドレスデコーダ102はすべてのワード線W₁、…、W_Nに高電圧（-10V）を印加する。ウェル電位発生回路113はNウェル領域114に高電圧（8V）を印加する。ソース制御回路108はソース線S₁に高電圧（8V）を印加する。Yアドレスデコーダ104はYデコーダ103内のYアドレストランジスタをQ₁とし、すべてのビット線B₁、…、B_Mをブロッティング状態にする。

【0187】このようにして、メモリセルマトリックス101内のすべてのメモリセルに、表4に示されるように電圧が印加される。その結果、メモリセルマトリックス101内のすべてのメモリセルは消去される。

【0188】(1) 書込動作
ここでは、メモリセルQ₁の書込を行なうものと仮定する。すなわち、メモリセルQ₁にデータ“0”を記憶する。メモリセルマトリックス101内のその他のメモリセルはデータ“1”を保持する。

【0189】高電圧発生回路111は、Xアドレスデコーダ102に高電圧を与える。Xアドレスデコーダ102はアドレスバッファ105から与えられるXアドレス信号に応じてワード線W₁を選択し、選択されたワード線W₁に高電圧（8V）を印加して、非選択のワード線W₂、…、W_Nに0Vを印加する。

【0190】高電圧発生回路110は、Yアドレスデコーダ104に高電圧を与える。まず、外部からデータ105出力バッファ108を介してデータ“0”が表5回路1

50

10に与えられ、ラッチされる。アドレスデコーダ104は、アドレスパツフェ105から与えられるアドレス信号に基いてアドレス103にビット線選択情報を送る。アドレス103は、ビット線SELを選択して、選択ビット線SELにデータ“0”に対応する高レベル(=V)を印加し、非選択のビット線SEL、=0L、には0Vを印加する。

【0191】ソース制御回路106は、ソース線SLをフローティング状態にする。ウェル電位発生回路113は、αウェル線SEL14に0Vを印加する。

【0192】このようにして、メモリセルQ₁に、図5に示されるように高圧が印加される。その結果、メモリセルQ₁のしきい値電圧が上昇する(しきい値電圧は負電圧であるので0に近い方向に変化する)。

【0193】(1) 読出動作
ここでは、メモリセルQ₁からデータを読出すものと仮定する。アドレスデコーダ104とは、アドレスパツフェ105から与えられるアドレス信号に基いてビット線SEL、を選択し、それに0Vを印加する。このとき、電源側のワード線W₁、=WL、には0Vを印加する。アドレスデコーダ104は、アドレスパツフェ105から与えられるアドレス信号に基いてアドレス103にビット線選択情報を送る。アドレス103はビット線SEL14に0Vを選択し、ビット線SEL101に2Vの電圧が印加される。電源側のビット線SEL、=SEL、には3Vが印加される。ソース制御回路106はソース線SL、に0Vを印加する。ウェル電位発生回路113はαウェル線SEL14に0Vを印加する。このようにして、選択されたメモリセルQ₁に、図6に示されるように電圧が印加される。それにより、Q₁の内容が“1”であればビット線SEL、に読出電流が流れる。この読出電流がセンスアンプ107により検知され、その後パツフェ105を介して外部に出力される。

【0194】以上のように、本実施例におけるNOR型のフラッシュメモリにおいては、読出し時の消費電流が小さいため、書き込み時に用いる読出電圧はチップ内部電源回路にて発生することが可能となる。したがって、外部電源回路は単一の電源でフラッシュメモリを駆動することが可能となる。

【0195】また、従来のDチャネルのMOS型メモリを用いたNOR型フラッシュメモリにおいては、図1に示すように、読出動作として、チャネルパツフェ105に電圧を印加し、フローティングゲートの電圧を印加している。これにより、メモリのV_{th}を高く、低V_{th}側から高V_{th}側へと電圧が与えられている。

【0196】一方、読出動作においては、Dチャネル現象により、フローティングゲート電圧からソース電圧またはチャネル電圧に電圧を引き抜くことにより、メモリのV_{th}を高くV_{th}側から低V_{th}側へと電圧が与えられている。

【0197】このとき、読出動作は、金ピント、またはブロック駆け等の同時書き込みであるため、ビットごとにはプリチャージを行えないため、書き後のV_{th}分布が大きくなってしまふ。すなわち、低V_{th}側側のV_{th}の分布が大きくなることにより、V_{th}がより大きくなるものが発生すると、読出動作時に、常に0L状態となるため、読出誤動作を招くという弊害がオーバレイ現象が生じている。

【0198】次に、プロセスに懸けるばらつきや欠陥などのために、特許的に書き込み速度の速いゲートが存在したとき、そのビットはオーバレイの読動作を施さないとになる。したがって、金ピントの書き込み速度のばらつきを小さくすることが不可欠であり、従来のDチャネルMOSを用いたNOR型フラッシュメモリの大きな問題点となっていた。

【0199】一方、上述した実施例におけるDチャネルのMOS型フローティングゲートを用いたNOR型フラッシュメモリにおいては、Dチャネルのフローティングゲートを寄本構造として、フローティングゲート電圧への電圧の注入により電圧を行なっている。その結果、図11に示すように、低V_{th}側(負の絶対値が高い方のV_{th})から低V_{th}側(負の絶対値が低い方のV_{th})に電圧を行なうことが可能となる。したがって、読出動作においては、ビットごとにはプリチャージを行なうことが可能となるため、書き込み終了後のV_{th}分布がより低V_{th}側側のV_{th}分布をいさえることができる。

【0200】さらに、もし、特許的に読込が速いビットが存在したときにおいても、V_{th}が0を越えることを防ぐことができるため、従来のNOR型フラッシュメモリのDチャネルによる読動作の遅延を解決することが出来る。

【0201】また、第2の実施例と同様に、トンネル電位駆へのチャネル注入がほとんど起こらないため、チャネル注入によるトンネル電位駆の劣化の発生を防ぐことが可能となる。さらに、チャネル注入が起きないため、従来のDチャネルのMOS型メモリセルにおいて、読込ゲート長きの有効利用を期待させていた電圧降下層の形成が不要であるため、従来のフラッシュメモリと比べ、より単純化が可能となり、読出動作が可能となる。

【0202】なお、上述した第2および第3の実施例においては、DチャネルのN型MOS型フローティングゲートに適用した場合について述べたが、これに限らず、Pチャネル電圧によりフローティングゲートからドレイン領域へ電圧を引き抜くことにより、電圧または電位を行なうフラッシュメモリにあっては、すべて同様の作用効果を発することが出来る。

【0203】また、上述第2および第3の実施例において、読込時の電圧印加条件については、図1および図8に示した場合に限られることとなり、以下に示す通りな

し表1に示す条件を満たすような読み時電圧印加条件を用いることによって、同様の作用効果を得ることができ。

〔0204〕

〔表7〕

NOR型メモリスループ 読み出し時電圧印加条件

ビット線		ワード線		ソース線		ウェル	
選択	非選択	選択	非選択	選択	非選択	選択	非選択
$(V_{cc1})-(V_{cc2})$	V _{cc}	接続	V _{cc}	V _{cc}	接続	V _{cc}	V _{cc}

*3D

DNOR型メモリスループ 読み出し時電圧印加条件

主ビット線		副ビット線		セレクトゲート電位		ソース線		ウェル	
選択	非選択	選択	非選択	選択	非選択	選択	非選択	選択	非選択
$(V_{cc1})-(V_{cc2})$	V _{cc}	$(V_{cc1})-(V_{cc2})$	開放	接続	接続	V _{cc}	V _{cc}	V _{cc}	V _{cc}
ワード線		セレクトゲート電位		ソース線		ウェル			
選択	非選択	選択	非選択	選択	非選択	選択	非選択	選択	非選択
接続	V _{cc}	接続	接続	V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}

〔0205〕

〔表9〕

NOR型メモリスループ 読み出し時電圧印加条件

ビット線		ワード線		ソース線		ウェル	
選択	非選択	選択	非選択	選択	非選択	選択	非選択
$(V_{cc1})-(V_{cc2})$	V _{cc}	接続	接続	V _{cc}	V _{cc}	V _{cc}	V _{cc}

表〔0207〕

〔表10〕

4C

4D

DNOR型メモリスループ 読み出し時電圧印加条件

主ビット線		副ビット線		セレクトゲート電位		ソース線		ウェル	
選択	非選択	選択	非選択	選択	非選択	選択	非選択	選択	非選択
$(V_{cc1})-(V_{cc2})$	V _{cc}	$(V_{cc1})-(V_{cc2})$	開放	V _{cc}	接続	V _{cc}	V _{cc}	V _{cc}	V _{cc}
ワード線		セレクトゲート電位		ソース線		ウェル			
選択	非選択	選択	非選択	選択	非選択	選択	非選択	選択	非選択
V _{cc}	接続	V _{cc}	接続	V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}	V _{cc}

〔0206〕（第4実施例）次に、この発明に基づいた第4実施例における不揮発性半導体記憶装置について図を参照して説明する。

〔0206〕この第4実施例における不揮発性半導体記憶装置の構造は、図12を参照して、第1実施例と同様にnウェルの表面に、p型の不純物領域からなるソース領域と、p型の不純物領域からなるドレイン領域とを有している。なお、ソース領域2およびドレイン領域3と、nウェル1との境界部分には、p₊層4が形成されている。

〔0207〕ソース領域2とドレイン領域3とは挟まれたチャンネル領域5の上方には、チャンネル酸化膜6を介して形成されたフローティングゲート電極7と、このフローティングゲート電極7の上方に絶縁層8を介して形成されたコントロールゲート電極9とを有している。

〔0208〕上記構造よりなる不揮発性半導体記憶装置において、第1の実施例と同じ条件の電圧印加条件を加える。すなわち、コントロールゲート電極9に正電位、ドレイン領域3に負電位、ソース領域2を開

放状態、nウェル1を接地電位とする。これにより、フローティングゲート電極7とドレイン領域3との間なり領域とのトンネル酸化膜4に電荷が印加され、ドレイン領域3により、ドレイン領域3からトンネル酸化膜4を介してフローティングゲート電極7に電子が注入される。これにより、電位が行なわれる。

〔0209〕その結果、書き込みにおいて、第1の実施例と同様の作用効果を得ることができる。

〔0210〕（第5実施例）次に、この発明に基づいた第5実施例の不揮発性半導体記憶装置の構造について、図13を参照して説明する。

〔0211〕この実施例における不揮発性半導体記憶装置の構造は、図13に示す第1実施例に示す不揮発性半導体記憶装置のチャンネル領域に、p₊型の極薄層12を形成したものである。

〔0212〕図13に示す構造によれば、チャンネル膜がnウェル1とトンネル酸化膜4との界面に形成されるため、チャンネル膜を流れる正孔は、nウェル1とトンネル酸化膜4との界面で散乱を受け、正孔の移動度の低下

35

か低し。その結果、不揮発性半導体記憶装置の駆動力が低下してしまうことがある。

【0218】そこで、本実施例を示すように、チャネル層8は、p⁺型の導体層12を設けることにより、nウェル1とトンネル酸化層4との界面での正孔の貯蔵による正孔の移動度の低下を未然に防止することができ、不揮発性半導体記憶装置の安定した駆動を実現することができる。

【0217】なお、p⁺型導体層12は、チャネル領域における不揮発性の結方内分布において、導体層12の不純物のドーパ濃度が、nウェル1とトンネル酸化層4との界面より約1.0nm²より0.0nm²の深さの位置にくるよう形成することが好ましい。また、p⁺型の導体層12のドーパ濃度の値は、1×10¹⁸～5×10¹⁸cm⁻³であることが好ましい。

【0218】（第3実施例）次に、この発明に基づいた第3実施例の不揮発性半導体記憶装置の構造について、図14を参照して説明する。

【0219】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1実施例の不揮発性半導体記憶装置の構造において、フローティングゲート電極を60°傾斜ポリシリコン15で形成したものである。

【0220】このような構造により、第3実施例と比較した場合、ドレイン領域における表面の結方面電界が高くなり、バンドバンド間10nm程度の電圧の発生値が増える。これにより、ドレイン領域3における加電電界が増大するため、電子が得るエネルギーも高くなる。その結果、消去効率が向上する。したがって、書き速度の向上や、書き電圧の低電圧化を図ることが可能となる。さらに、第3実施例と比較した場合、パルス幅100ns程度の電圧により、不揮発性半導体記憶装置の書き込みが可能となる。

【0221】（第4実施例）次に、この発明に基づいた第4実施例の不揮発性半導体記憶装置の構造について、図15を参照して説明する。

【0222】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1実施例の不揮発性半導体記憶装置の構造において、フローティングゲート電極をp⁺ポリシリコンで形成したものである。

【0223】このような構造により、第4実施例における不揮発性半導体記憶装置と比較した場合、ドレイン領域3における表面の電圧降下が高くなり、バンドバンド間10nm程度の電圧の発生値が増大し、かつ加電電界が増大するため、電子が得るエネルギーも大きくなる。その結果、消去効率が向上する。したがって、書き速度の向上や、書き電圧の低電圧化が可能となる。

【0224】さらに、第4実施例における不揮発性半導体記憶装置は、パルス幅100ns程度の電圧により、不揮発性半導体記憶装置の書き込みが可能となる。

36

【0225】また、第4実施例における不揮発性半導体記憶装置と比較した場合、たとえば3×10¹⁸cm⁻³のメモリセルを用いた場合、メモリセルトランジスタの準平衡状態損失低減（フローティングゲート電圧を0としたとき）のしきい値電圧を小さくすることができ、読み出し電圧の低減に対する耐性を高めることが可能となる。

【0226】（第5実施例）次に、この発明に基づいた第5実施例の不揮発性半導体記憶装置の構造について、図16および図17を参照して説明する。

【0227】この実施例における不揮発性半導体記憶装置の構造は、図14および図15に示すように、フローティングゲート電極8とドレイン領域3との重なり部分X、およびフローティングゲート電極8とソース領域2との重なり部分Yにおいて、p型の不純物濃度がメモリセル15以下となるように形成されている。

【0228】このように、重なり部分X、Yにおける不純物濃度をメモリセル15以下となるように形成するには、まず、図16に示すように、コントロールゲート電極7およびフローティングゲート電極8を覆うようにサイドウォール15を形成した後に、このサイドウォール15をマスクとして、nウェル1にp型の不純物を注入することにより、ソース領域3およびドレイン領域3を形成する。

【0229】その結果、実効ゲート長が長くなり、微細化に耐えた不揮発性半導体記憶装置を得ることができ、

【0230】たとえば、従来の3×10¹⁸cm⁻³のメモリセルのように、フローティングゲート電極からドレイン領域へドレイン電圧により電子の引き抜きを行なう場合、ドレイン領域のゲート電極との重なり部分、高電圧の不純物濃度を有していない、ドレイン領域のエッジ部分に寄生層が形成される。この寄生層による電位降下のために、ドレイン領域の電子引き抜き速度が低下するという問題があった。したがって、従来の構造によれば、サイドウォール形成時にp型注入を行ない、ソース領域およびドレイン領域を形成することができず、フローティングゲート電極およびコントロールゲート電極7をマスクにして、p型注入を行なう必要があった。

【0231】一方、本実施例におけるpチャネルのメモリセルを用いた場合には、上記のような問題が生じないため、サイドウォール15をマスクにしてp型注入を行なうことが可能となり、実効ゲート長を有効に用いることのできる不揮発性半導体記憶装置を提供することが可能となる。

【0232】（第6実施例）次に、この発明に基づいた第6実施例の不揮発性半導体記憶装置の構造について、図18および図19を参照して説明する。

【0233】この実施例における不揮発性半導体記憶装置の構造において、図15に示すように、ドレイン領

37

波とフローティングゲート電極との重なり部分、の領域においてのみ、ドレイン領域の不純物濃度が、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上の不純物濃度を有するように形成され、ソース領域におけるフローティングゲート電極との重なり部分においては、上述した第 8 の実施例と同様に、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下の不純物濃度となるように形成されている。

【0233】このように形成するためには、少なくとも図 1 に示すように、コントロールゲートおよびフローティングゲートをマスクとして、ドレイン領域 2 が形成される領域にのみ予め p 型の不純物のイオン注入を行なうため、図 1 に示すように、コントロールゲート 7 およびフローティングゲート 5 を覆うようにサイドウォール 11 を形成した後、このサイドウォール 11 をマスクとして p 型の不純物の注入を行なうことにより形成することである。

【0234】この構造を用いることにより、ドレイン領域 2 でのバンド・バンパ下ドレイン電流の発生量を大きくすることができる。その結果、書き速度の向上および読み時のドレイン電圧とコントロールゲート電極電圧の両極圧化が可能となる。また、ソース領域とは、サイドウォール 11 を形成した後にイオン注入を行なうため、実施例 1 に示すのと同様なメモリセルを形成することが可能となる。

【0235】(第 1 の実施例) 次に、この発明に基づいた第 1 の実施例の半導体記憶装置の構造について、図 2 を参照して説明する。

【0236】この実施例における不揮発性半導体記憶装置の構造は、図 2 に示すように、a' 型の不純物領域からなるソース領域 11 およびドレイン領域 12 を備え、それぞれのチャネル領域の両端に、p' 型の不純物領域からなる第 1 不純物領域 13 と、第 2 不純物領域 17 とを備えている。その他の構造については、図 1 に示す第 1 の実施例における不揮発性半導体記憶装置の構造と同一である。

【0237】なお、ソース領域 11、ドレイン領域 12、第 1 不純物領域 13 および第 2 不純物領域 17 のそれぞれのウェル 11 との界面には、p 型混合 11a、12a、13a、17a が形成されている。

【0238】このように、いわゆるしりじり構造を形成することにより、実施例 1 が長さが長く、低抵抗化に適したメモリセルを得ることができる。

【0239】さらに、たとえば図 2 1 H の型半導体は、図 1 R 型フラッシュメモリにおいて、フローティングゲート電極からドレイン領域へドレイン電流によって電子を引き抜きを行なう場合、ドレイン領域とフローティングゲート電極とが重なる領域において、高濃度の不純物濃度が存在しないと、ドレイン領域のエッジ部において、空乏層が形成され、この空乏層での電荷移動のため、ドレイン電流の電子の引き抜き速度が

低下するという問題点を回避することができ、さらに、従来の構造においては、コントロールゲート電極およびフローティングゲート電極をマスクにして、高濃度のイオン注入を行なう必要があったために、実施例 1 が長さが有効長が短化するという問題点も回避することができるようになる。

【0240】(第 1 の実施例) 次に、この発明に基づいた第 1 の実施例の不揮発性半導体記憶装置の構造について、図 2 を参照して説明する。

【0241】この実施例における不揮発性半導体記憶装置の構造は、図 1 に示す第 1 の実施例における不揮発性半導体記憶装置の構造に似て、ドレイン領域 2 を覆うように、a' 型の第 3 不純物領域 18 が形成されている。この第 3 不純物領域 18 の不純物濃度は、約 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0242】このように、第 3 不純物領域 18 を設けることにより、ドレイン空乏層における電荷密度が向上し、効率的に電子を熱エネルギー化できる。その結果、書き速度の向上および書き時におけるコントロールゲート電圧とドレイン領域の電圧の低電圧化が可能となる。

【0243】(第 2 の実施例) 次に、この発明に基づいた第 2 の実施例の不揮発性半導体記憶装置の構造について、図 2 を参照して説明する。

【0244】この実施例における不揮発性半導体記憶装置の構造は、図 1 に示す第 1 の実施例の不揮発性半導体記憶装置の構造と比較した場合、ソース領域およびドレイン領域が、高濃度の不純物領域からなるソース領域 11 とドレイン領域 12 とからなり、さらに、ソース領域 11 を覆うように、a' 型の第 4 不純物領域 20 と、ドレイン領域 12 を覆うように、a' 型の第 5 不純物領域 21 が形成されている。なお、ソース領域 11 と第 4 不純物領域 20 との界面には p 型混合 11a が形成され、第 4 不純物領域 20 とウェル 11 との界面には p 型混合 11b が形成されている。また、第 5 不純物領域 21 および第 3 不純物領域 18 はともにその不純物濃度が約 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度に設けられている。

【0245】以上の構造を有することにより、メモリセルのバンドフロー特性が向上し、第 3 不純物領域 21 により、ドレイン領域 12 とウェル 11 との間の閉塞を向上させることが可能となる。

【0246】ここで、第 1 実施例、第 2 実施例例 1 の第 1 の実施例においては、不揮発性半導体記憶装置はウェル 11 に形成される場合について説明したが、このウェル 11 は、たとえば図 2 に示すように、p 型の半導体基板 22 におけるトリプルウェル構造を有するプロセスを用いて、ウェル 22 および 24 と同様の工程で形成されるものでもよい。図 2 に示すように、p 型半導体基板 22 内において、トリプルウェル 22 内形成されたウェル 11 であっても構わない。また、図 2 に示すように、p 型の半導体基板 22 におけるウェル 22

ループを流している。トランジスタを取り除いたのもあっては構わない。

【0248】(第13実施例)次に、この発明の新しい第13実施例における不揮発性半導体記憶装置について、説明する。

【0249】この第13実施例においては、第1実施例における感込を行なった不揮発性半導体記憶装置において、メモリの外部回路の後に、しきい値電圧VTHはフロートゲート電極中の電荷を、0にしたときのしきい値電圧)を露出電圧より低くなるように形成する。このように、露出電圧より低くなるように形成すると、露出電圧より高い場合と比べ、消去状態のメモリのしきい値VTHはVTH_{erase}と外部線駆動消去後

$$V_{fg} = \alpha \text{cg} \times \Delta V_{TH} + \alpha \text{cg} \times V_{dg} + \alpha d \times V_{ds} + \alpha s \times V_{ss} + \alpha \text{sub} \times V_{sub}$$

・・・(1)

【0254】ここで、 αcg 、 αd 、 αs 、 αsub は、それぞれコントロールゲート、ドレイン領域、ソース領域、バックウェルのカップリング定数であり、メモリの形成条件で変化する値であるが、ここでは、一般的な値として、 $\alpha \text{cg} = 0.9$ 、 $\alpha d = 0.1$ 、 $\alpha s = 0.1$ 、 $\alpha \text{sub} = 0.2$ として考える。

【0255】 $V_{dg} = -3\text{V}$ 、 $V_{ds} = 3\text{V}$ 、 $V_{ss} = 0\text{V}$ 、 $V_{sub} = 0\text{V}$ のバイアス条件における感込動作を考えると、ドレインゲートセルには、 $V_{dg} = -3\text{V}$

$$1) V_{TH} = -4\text{V} \text{ の場合、} \Delta V_{TH} = V_{TH} - V_{TH} = (-5) - (-4) = -1\text{V}$$

$$V_{fg} = 0.9 \times (-1) + 0.1 \times (-6) = -0.5\text{V}$$

$$2) V_{TH} = -2\text{V} \text{ の場合、} \Delta V_{TH} = V_{TH} - V_{TH} = (-5) - (-2) = -3\text{V}$$

$$V_{fg} = 0.9 \times (-3) + 0.1 \times (-6) = -1.2\text{V}$$

【0258】となる。したがって、 $V_{TH} = -4\text{V}$ の場合は、 $V_{fg} = -0.5\text{V}$ となり、 $V_{dg} = -3\text{V}$ の電位差は 2.5V であるが、 $V_{TH} = -2\text{V}$ の場合、 $V_{fg} = -1.2\text{V}$ となり、 $V_{dg} = -3\text{V}$ の電位差は 1.8V となり、 $V_{TH} = -2\text{V}$ の方がドレインゲートセルにおけるバンド・バンド間トンネル電流の発生率が多い。

【0259】すなわち、 $V_{TH} = -2\text{V}$ の方が、ドレインゲートセルにおける感込速度は大きいことになり、 V_{TH} を高くする(負電圧であるので絶対値を高くすること)は、ドレインゲート耐性を良くする効果がある。

【0260】(第14実施例)次に、この発明に基づいた第14実施例の不揮発性半導体記憶装置について、説明する。

【0261】この第14実施例においては、第1実施例★

$$V_{fg} = \alpha \text{cg} \times \Delta V_{TH} + \alpha \text{cg} \times V_{dg} + \alpha d \times V_{ds} + \alpha s \times V_{ss} + \alpha \text{sub} \times V_{sub}$$

・・・(3)

【0264】ここで、 αcg 、 αd 、 αs 、 αsub は、それぞれコントロールゲート、ドレイン領域、ソース領域、バックウェルのカップリング定数であり、メモリの形成条件で変化する値であるが、ここでは、一般的な値として、 $\alpha \text{cg} = 0.9$ 、 $\alpha d = 0.1$ 、 $\alpha s = 0.1$ 、 $\alpha \text{sub} = 0.2$ として考える。

しきい値電圧VTHの差である ΔV_{TH} の値が大きくなる。

【0250】このとき、表込時ドレインゲートセル(書込する選択セルと隣りのビット線に接続された非選択セル)における感込(書込)に対する耐性が高まり、メモリの信頼性を向上させることができる。

【0251】たとえば、 $V_{TH} = -5\text{V}$ とし、 $V_{TH} = -4\text{V}$ の場合と $V_{TH} = -2\text{V}$ の場合を考える。

10 【0252】フロートゲート電極の電位Vfgは以下の第1式で計算することができる。

$$【0253】$$

【数1】

$$V_{fg} = \alpha \text{cg} \times \Delta V_{TH} + \alpha \text{cg} \times V_{dg} + \alpha d \times V_{ds} + \alpha s \times V_{ss} + \alpha \text{sub} \times V_{sub}$$

・・・(1)

※ $V_{dg} = -3\text{V}$ 、 $V_{ds} = 3\text{V}$ 、 $V_{ss} = 0\text{V}$ 、 $V_{sub} = 0\text{V}$ の電位が用いられる。

【0258】ここで、openとしたVgsは、0Vに近似的に制御する。このときの消去状態($\Delta V_{TH} = 0$)のVTHはVTH_{erase}のドレインゲートセルのVfgを計算すると、

$$【0257】$$

【数2】

90★における感込方式を用いたメモリのセルにおいて、メモリのセルの外部線駆動消去後しきい値電圧(VTH)をフロートゲート中の電荷を0にしたときのしきい値電圧)を露出電圧より高くなるように形成している。このように、露出電圧より高くなるように形成すること、感込時ゲートセル(感込選択セル)における感込(消去)に対する耐性が高まり、メモリの信頼性を向上させることができる。

【0262】たとえば、露出電圧を、3Vで考え、表込状態のセルのしきい値電圧VTHはVTH_{erase}とし、 $V_{TH} = -4\text{V}$ の場合と $V_{TH} = -2\text{V}$ の場合を考える。フロートゲートの電位Vfgは、以下の第3式で計算することができる。

$$【0263】$$

【数3】

90★における感込方式を用いたメモリのセルにおいて、メモリのセルの外部線駆動消去後しきい値電圧(VTH)をフロートゲート中の電荷を0にしたときのしきい値電圧)を露出電圧より高くなるように形成している。このように、露出電圧より高くなるように形成すること、感込時ゲートセル(感込選択セル)における感込(消去)に対する耐性が高まり、メモリの信頼性を向上させることができる。

による電流の領域を区別するために、以下の計算を行った。

【0284】シリコン結晶内のある領域で、単位時間当たりのバンドバンド間トンネルにより発生する電子-正孔対の総密度 G_{tot} は、

【0285】

【数5】

$G_{\text{tot}} = A \cdot E_{\text{si}}^2 \cdot \exp(-B/E_{\text{si}})$ (A, B: 定数) (5)

【0286】というバンド間トンネル電流の発生量の計算式と同一の形の式で計算できる(参考文献: E. G. Kornel'skiy, A. I. Phys. Chem. Solid, vol. 12, 1969, p. 181)。ここで、 E_{si} は、シリコン結晶内での電界強度を示し、 E_{si} が大きくなると、バンドの重なりが大きくなり、バンドバンド間トンネルの発生量が增大することになる。

【0287】本実施例のように、コントロールゲート電極とドレイン電極との間に高電圧を $V_g - V_d$ の電圧印加されたとき、一般的な方法で形成したソース/ドレイン構造によれば、バンドバンド間トンネルの発生量は、シリコン基板面(シリコン基板とトンネル形成層の界面)で最大となる(参考文献: K. T. Seng et al., IEEE Electron Devices, vol. 42, No. 1, January, p. 159, 1995)。また、バンドバンド間トンネル電流の発生は、 V_g が高いだけでなく、シリコン内のバンドが、シリコンのバンドギャップ E_g より上側になったときに初めて起こるものである。また、一般的なソース/ドレイン構造では、シリコン内のバンドの曲がりや位置が変化する位置において、バンドバンド間トンネル電流の発生量の最大となる(参考文献: S. A. Paron et al., IEEE Electron Devices, vol. 39, No. 7, July, p. 1094, 1992)。このバンドバンド間トンネルの最大発生位置における V_g は、以下に示す関数式および第7式を基に、以下により計算できる(参考文献: J. Chen et al., IEEE Electron Device Letters, vol. EDL 8, No. 11, November, p. 515, 1987)。

【0288】

【数6】

$E_{\text{si}} = E_{\text{ox}} \cdot \cos \theta$ (6)

【数7】

$E_{\text{ox}} = (V_g - V_d - 1.2) / t_{\text{ox}}$ (7)

【0289】ここで、 E_{si} 、 E_{ox} はそれぞれシリコン、シリコン酸化膜の電界強度を示し、 θ は、トンネル形成層を示し、 E_{ox} は、最大発生位置でシリコン結晶とトンネル酸化膜界面である最大発生位置に於ける酸化膜中の電界を示している。

【0290】第7式は、酸化膜にかかる電圧は、ゲート電極とドレインとの間の電圧 $V_g - V_d$ から、シリコン中で、バンドバンド間トンネルに E_{si} となる

$2.5V$ とした) 曲がったことによる、電圧降下を引いた電圧であることを示す式である。

【0291】ここで、バンドバンド間トンネルによって発生する電流 I_d が、最大発生位置での発生量に比例すると近似した場合

【0292】

【数8】

$I_d = A' \cdot E_{\text{si}}^2 \cdot \exp(-B/E_{\text{si}})$ (A', B: 定数) (8)

【0293】

【数9】

$E_{\text{si}} = (V_g - V_d - 1.2) / t_{\text{ox}}$ (9)

【0294】となる。したがって、これらの関係式が成り立つとき、簡単に I_d / E_{si}^2 、簡単に $I_d / (V_g - V_d)$ をとり、縦軸をシリコンスケールにより、グラフにプロット(いわゆるF-Nプロット)すれば、直線になることがわかる。

【0295】さらに、この直線から外れた領域は、バンドバンド間トンネルの特性をもった領域ではないと考えられ、これにより、なだれ破壊が起こっている領域とバンドバンド間トンネルの領域とを区別することができる。

【0296】図25の(1) V_d は特性の結果を、F-Nプロットしたものを、例示する。 V_d の絶対値が V_g では、直線になって傾斜しているが、 V_d の絶対値が V_g では、直線から外れていることがわかる。したがって、この結果から、図25の(1) V_d は特性における V_d の絶対値が V_g の領域は、 V_d の絶対値が V_g のバンドバンド間トンネルの領域と判別することができる。

【0297】このような、なだれ破壊が起こっている領域電圧条件で書き動作を行なうと、以下のような特性の悪化が生じる。

【0298】(1) 図25の同一 V_d における I_d の値に替用すれば、代入効率 I_d / E_{si}^2 、 V_d の絶対値が増加すると単純に大きくなるが、極方向に電界の増大とともに、電子のエネルギーが大きくなり酸化膜が障壁を越える電子の割合が増加する。 V_d の絶対値がさらに大きくなり、なだれ破壊が起こるようになると(図25(1)に対して、 V_d の絶対値が V_g)、代入効率 I_d / E_{si}^2 は減少していくことがわかる。したがって、なだれ破壊が起こらない V_d で動作を行なうことが、低消費電流での高速動作の要求に有効であることがわかる。

【0299】(2) 図25に、フローティングゲート電極とコントロールゲート電極とを接続した図25に示すメモリセルと同一の p -チャネル型の V_d の I_d 特性を示す。 $V_g = 0V$ における I_d は V_g より V_d は特性を示す。ドレインディスタージョン(書き込み選択セルと同一のビット線に接続された未選択メモリセル)での電圧印加条件に於ける漏れ電流である

3)において、1ミクロン以下であれば、3Vの絶対値で、4Vにおいて、なだれ電流が流れる。3Vの急激な増大が起きていることがわかる。

(り307)このように、ドレインディスタンプセルにおいて、なだれ電流が流れるようなV_{GS}で書込を行なうと、ドレインディスタンプセルにおける消費電流が大きく増加し、消費電力の増大を招く。また、書込電圧をチップ内列に経路を用いて生成している場合においては、電流供給能力に限界があるため、並列に書込可能なメモリの数が減少し、結果的に1メモリセル当りの書込速度の低下を招くことになる。したがって、ドレインディスタンプセルにおいてなだれ電流が流れるようなV_{GS}で書込を行なうことは重要となる。

(り308)以上の(り1)～(り2)に示す理由により、通常メモリセルをよびドレインディスタンプセルにおいて、なだれ電流が起これないドレイン電圧での書込を行なうことにより、デバイス特有の劣化を防ぐことが可能となる。

(り309)【第1実施例】この第1実施例において、第1実施例におけるV_{GS}とV_{DS}が同時にメモリセルにおいて、トンネル電流I_Tの値を1fA以下となるようにしたものである。

(り310)【第1実施例】における平衡発生半導体記憶装置においては、コントロールゲート電圧V_{CG}への正電圧により、ドレイン領域への負電位の注入が同時に増加したときのみ、電子注入電流が大きくなり、意図した書込を行なうことができるが、ドレイン領域への負電位のみ増加したメモリセルでは、書込が起これないという特性を実現させている。したがって、バンドバンド間トンネル電流の発生量の大小がフローティングゲート電圧V_{FG}とドレイン領域との電位差の大きさによって決定するという特性を利用している。

(り311)したがって、第1実施例における書込方式を用いる場合には、バンドバンド間トンネル電流を効果的に発生させることが必要である。したがって、トンネル電流I_Tの値を1fA以下とし、比較的書込電圧でトンネル電流I_Tの値が制御されるようにすることで、バンドバンド間トンネル電流を効果的に発生させることが可能となり、その結果、高速書込を実現することが可能となる。

(り312)【第1実施例】この第1実施例においては、第2または第3実施例において、書込時の最大消費電流がドレイン電流I_Dがメモリセル当り1μA以下となるように書込電圧V_{GS}の値を決定するようにしたものである。

(り313)3Vもしくは5Vといった単一電源で動作する不揮発性半導体記憶装置を構成することを要求される際には、書き込みに用いる書込電圧は、チップ内の昇圧回路によって発生させられる。この昇圧回路の電流供給能力が概ね1μA以下である。したがって、書込時に流

れる最大消費電流が、この値を超えないようにすることが必要である。

(り314)また、1メモリセル当りの実効書込速度を高速化するためには、多数のメモリセルを同時に並列に書込する方法を用いることが有効である。したがって、書込電圧を非常に高くして、メモリセルの書込速度を速くすれば、メモリセルの劣化特性の劣化が激しくなるなどの特性の悪化を引き起こすが、多数のメモリセル同時に並列書込する方法を用いれば、そのような劣化の悪化を引き起こさずに1メモリセル当りの実効書込速度の高速化を行なうことができる。

(り315)このように、多数のメモリセルを同時に並列に書込をする方式を用いる場合、多少の回路の複雑化が伴うため、通常最低1000個以上のメモリセルを同時に並列に書込を行ない、1メモリセル当りの実効書込速度にして1桁以上の高速化を実現しないと、並列書込方式採用の有意味が失われてこない。

(り316)このように、最低1000個以上のメモリセルを同時に並列に書込を行なうには、上記の昇圧回路の電流供給能力からくる書込時に発生する最大消費電流1μA以下の制限により、1メモリセル当りの書込時に発生する最大消費電流(ドレイン電流)が1fA以下にすることが必要となる。

(り317)したがって、1メモリセル当りの書込時に発生する最大消費電流(ドレイン電流)が、1μA以下となるように書込電圧増加条件を設定することで、最低1000個以上のメモリセルを同時に並列に書込を行なうことができ、メモリセル当りの実効書込速度の高速化を実現することができ、その結果、単一電源動作の平衡発生半導体記憶装置を提供することが可能となる。

(り318)なお、今回開示された1実施例は、すべて図で例示してあるが、本発明の範囲は上記した説明ではなくて、特許請求の範囲と均等の範囲および変形例によって示され、特許請求の範囲と均等の範囲および変形例によって示される。したがって、本発明の範囲は上記した説明ではなくて、特許請求の範囲と均等の範囲および変形例によって示される。

(り319)【第2実施例】第1、第2～第13、第14～第20の発明に係る平衡発生半導体記憶装置によれば、ドレイン領域においてバンドバンド間トンネル電流が発生し、電子が正孔対が生成される。そのうち電子は電圧の電界によりチャネル方向に加速され、高エネルギーを有するホットエレクトロンとなる。このとき、制御電圧に止電位が印加されているため、このホットエレクトロンは容易にトンネル電流領域に注入され、電荷蓄積電流を流すことができる。このように、バンドバンド間トンネル電流領域ホットエレクトロン注入により、電荷蓄積電流の電子の注入が行なわれる。

(り320)その結果、従来のチャネル電圧で生成されたメモリセルにおいて問題とされていた、書込時にドレ

イン領域近傍でバンド間トンネル電流により発生する電子-正孔対のうち、正孔がp型のドレイン領域に引き込まれ、ドレイン領域内で、ホール濃度が高いために散乱を起しエネルギーを奪われ、高エネルギーを有するホットホールが生成することがない。

【0311】また、本発明における構造において、仮にホットホールが存在した場合でも、電荷蓄積電極は正偏位になっているため、ホットホールが引き込まれることはない。したがって、トンネル酸化膜へのホットホールの注入を防止することができ、従来のnチャネル型のメモリセルで問題となっていたホットホールの注入によるトンネル酸化膜の著しい劣化を防ぐことが可能となる。

【0312】さらに、ホットホールのトンネル酸化膜への注入が起きないため、従来のnチャネル型のメモリセルにおいて、深溝ゲート、低の飽和電圧を確保していた電荷保持層の形成が不要となり、従来のnチャネルメモリセルに比べより微細化が可能となり、すなわち集積化が可能となる。

【0313】次に、第3、第4〜第5、第14、第15〜第20の発明における不揮発性半導体記憶装置によれば、電荷蓄積電極とドレイン領域との連なり部近上のトンネル酸化膜に電荷が印加される。その電荷界により、ドレインセル電流が生じ、ドレイン領域からトンネル酸化膜を介して電荷蓄積電極へ電子を導入することが可能となる。その結果、導込時において、従来のnチャネル型のメモリセルにおいて問題となっていた、ドレイン領域近傍において、バンド間トンネル電流により発生する電子-正孔対のうち、正孔がドレイン領域へと引き込まれ、ドレイン領域内でホール濃度が高いために散乱を起しエネルギーを奪われ、正孔がホットホールとなることのない。

【0314】また、本発明における構造において、仮にホットホールが存在しても、電荷蓄積電極は正電位が印加されているために、ホットホールが引き込まれることはない。したがって、トンネル酸化膜へのホットホールの注入を防止することができ、従来のnチャネル型のメモリセルで問題となっていたホットホールの注入によるトンネル酸化膜の著しい劣化を防ぐことが可能となる。

【0315】また、ホットホールの注入が起きないため、従来のnチャネル型メモリセルで深溝ゲート長さの微細化を要していた電荷保持層の形成が不要となる。その結果、従来のnチャネル型メモリセルに比べ、より微細化が可能となり、すなわち集積化が可能となる。

【0316】次に、第3、第15、第19〜第20の発明に係る不揮発性半導体記憶装置によれば、チャネル領域に正孔のチャネル層が形成され、この正孔のチャネル層と電荷蓄積電極との間に介在するトンネル酸化膜に電荷が印加される。したがって、このトンネル酸化膜に

おいて、ドレイン領域から生じ、電荷蓄積電極から正孔のチャネル層へ電子の注入を行なうことができる。

【0317】その結果、チャネル膜全面において、電荷蓄積電極から正孔の引き抜きを行なうことができるため、効率的にフロッタシメモリの消去動作を行なうことが可能となる。

【0318】次に、第23、第25、第29の発明に係る不揮発性半導体記憶装置によれば、第1および第2の電位の2種類の電位を利用することによりフロッタシメモリの読出動作を行なうことが可能となる。

【0319】次に、第24、第25、第29の発明に係る不揮発性半導体記憶装置によれば、nチャネル型メモリおよびpチャネルメモリの読出時において、2つの電位を用いることにより、データの読出を行なうことが可能となる。

【0320】次に、第4の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、データの書き込みにおいては、不揮発性半導体記憶装置の動作を決定して行なうことが可能となる。その結果、データの書き込みにおける不揮発性半導体記憶装置の信頼性を向上させることが可能となる。

【0321】次に、第5の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、p型の埋込層を設けることにより、n型領域とトンネル酸化膜との界面でpホールの散乱によるホールの移動度の低下を解消することができ、その結果、ホールの移動度の低下を回避して、不揮発性半導体記憶装置の信頼性を向上することが可能となる。

【0322】次に、第9の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、電荷蓄積電極をn型のポリシリコンとすることにより、ドレイン領域における異界面方向電界が低くなり、ドレイン領域におけるバンド間トンネル電流の発生量が減少し、かつ加速電界が増大する。その結果、ドレイン領域において、電子が得るエネルギーが高くなり、電荷蓄積電極を向上させることができる。

【0323】その結果、導込速度の増大、導込電圧の低電圧化が可能となる。さらに、ランチャール特性が向上し、ゲート長の微細化および高集積化が可能となる。

【0324】次に、第7の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、電荷蓄積電極をp型のポリシリコンとすることにより、ドレイン領域における異界面方向電界が高くなり、バンド間トンネル電流の発生量が減少する。その結果、

ドレイン領域における加速電界が増大する。その結果、電子が得るエネルギーが高くなり、導込速度が増大する。

【0325】その結果、導込速度の増大もしくは高集積化の低電圧化が可能となる。さらに、ランチャール特性が高くなり、ゲート長さの微細化および高集積化が可能となる。

【0328】次に、第3の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、両極電圧とすることにより、ソース領域およびドレイン領域の形成時に与えられるイオン注入時におけるマスクを削減でき、マスク枚数の減少および製造工程数の削減によるコスト低減が可能となる。

【0329】次に、第3の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下方に位置するドレイン領域およびソース領域の不揮発性半導体記憶装置は、 $5 \times 10^{-10} \text{ cm}^2$ 以下である。

【0330】これにより、バンドバンド間トンネル電流が減少し、電荷蓄積電極を用いて電圧を行なう不揮発性半導体記憶装置において、実効ゲート長さが長く、かつ微細化し得る半導体化が可能となるメモリセルを得ることが可能となる。

【0331】次に、第10の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下方に位置するドレイン領域の不揮発性半導体記憶装置は、 $5 \times 10^{-10} \text{ cm}^2$ 以下である。

【0332】この構造を用いることにより、ドレイン領域でのバンドバンド間トンネル電流の発生量を大きくすることができる。その結果、導込速度の向上および書き込み時のドレイン電圧と蓄積電極電圧の過電圧化が可能となる。

【0333】次に、第11の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、 $1 \mu\text{m}$ 以上の単位で実現し、実効ゲート長さが長く、微細化し得る半導体化が可能となるメモリセルを得ることが可能となる。

【0334】次に、第12の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、ドレイン空乏層における横方向電界が増大し、効率的に電子を熱エネルギー化することができる。その結果、不揮発性半導体記憶装置の導込速度の向上および書き込み時の蓄積電極電圧とドレイン電圧の過電圧化が可能となる。

【0335】次に、第13の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、トンネル酸化層の厚さを、 5 nm 以下としている。これにより、たとえ低い電圧で、トンネル酸化層に高電圧が印加されるため、バンドバンド間トンネル電流を効果的に発生させることができる。その結果、書き込み時における導込速度を可能とすることができる。

【0336】次に、第14の発明に係る不揮発性半導体記憶装置においては、第3の発明であって、ソース領域に形成された第1不揮発性領域により、メモリのバンドバンド間電圧を向上させることができる。また、ドレイン領域に形成された第2不揮発性領域により、ドレイン領域と第1不揮発性領域との間電圧を向上させることが可能とな

る。

【0337】次に、第15の発明に係る不揮発性半導体記憶装置においては、第3の発明であって、消去等に、ドレイン領域を開放状態とする開放手段を備えている。

【0338】これにより、不揮発性半導体記憶装置の消去動作を安定して行なうことが可能となる。その結果、不揮発性半導体記憶装置の動作の信頼性を向上させることが可能となる。

【0339】次に、第16の発明に係る不揮発性半導体記憶装置においては、第1、第2、第3の発明であって、制御電極と電荷蓄積電極とソース領域とドレイン領域とによりメモリセルが形成され、このメモリセルが複数配置され、記憶装置に配置されたメモリセルエリアに、メモリセルの制御電極が接続されたワード線と、メモリセルのドレイン領域が接続されたビット線とを有している。

【0340】したがって、リチャードソン型のメモリセルとなるたとえば、L型のアラッシュメモリ、D型のアラッシュメモリを構成することが可能となる。

【0341】次に、第17の発明に係る不揮発性半導体記憶装置においては、第10の発明であって、メモリセルと、周辺回路領域に形成されるトランジスタとをソース領域およびドレイン領域のイオン注入のためのマスクを削減することができ、その結果、マスク枚数の減少および不揮発性半導体記憶装置の製造工程数の削減によるコスト低減が可能となる。

【0342】次に、第18の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、 $1 \mu\text{m}$ 以上の単位で実現し、実効ゲート長さが長く、微細化し得る半導体化が可能となるメモリセルを得ることが可能となる。

【0343】次に、第19の発明に係る不揮発性半導体記憶装置においては、第19の発明であって、 $1 \mu\text{m}$ 以上の単位で実現し、実効ゲート長さが長く、微細化し得る半導体化が可能となるメモリセルを得ることが可能となる。

【0344】次に、第20の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、消去等に、ドレイン領域を開放状態とする開放手段を備えている。その結果、不揮発性半導体記憶装置の動作の信頼性を向上させることが可能となる。その結果、不揮発性半導体記憶装置の動作の信頼性を向上させることが可能となる。

【0345】次に、第21の発明に係る不揮発性半導体

記憶装置においては、第1の発明であって、不揮発性半導体記憶装置の書き込みにおいて、なだり読取が起きるような読取電圧を印加した場合、選択されないメモリセルにおける消費電力が大幅に増大し、メモリセルの消費電力が急増大すること、読取電圧を、不揮発性半導体記憶装置内の各位回路を用いて生成している場合において、電流供給能力に制限があるため、並列に書込可能なメモリセルの数が減少し、結果的にメモリセル当りの書き込み速度の低下を招き起こすことが可能となる。

【0344】次に、第2の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、メモリセルの書き込み時の読取電圧よりも低いしきい値電圧を有している。

【0345】これにより、たとえば読取電圧より低い読取電圧が施される場合と比べ、読取状態のメモリセルのしきい値と外部電源の低いしきい値電圧との差が大きくなる。このとき、読取電圧におけるドレインディスタープに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0346】次に、第2の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、メモリセルの書き込み後のメモリセルの読取電圧よりも低いしきい値電圧を有している。

【0347】これにより、読取時におけるディスタープに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0348】次に、第2の発明に係る不揮発性半導体記憶装置によれば、読みおよび書きの2種類の電圧を用いることにより、pチャネル型のいわゆる60R型のフラッシュメモリの読出動作を行うことが可能となる。

【0349】次に、第2の発明に係る不揮発性半導体記憶装置によれば、pチャネル型のいわゆる60R型のフラッシュメモリの読出時において、2種類の電圧を用いることにより、読出動作を行うことが可能となる。

【0350】次に、第2の発明に係る不揮発性半導体記憶装置においては、第3または第2の発明であって、第1の電位は正の値の外部電源電位であり、第2の電位は接地電位である。その結果、メモリセル内においては、正の値の外部電源電位のみを用いることにより、pチャネル型の60R型フラッシュメモリの読出動作を行うことが可能となる。

【0351】次に、第2の発明に係る不揮発性半導体記憶装置においては、第2または第2の発明であって、第1の電位は接地電位であり、第2の電位は負の値の外部電源電位である。これにより、メモリセル内においては、負の値の外部電源電位の1つの電位を用いることにより、pチャネル型60R型フラッシュメモリの読出動作を行うことが可能となる。

【0352】次に、第2の発明に係る不揮発性半導体

記憶装置においては、第1の発明であって、書き込みにおける最大消費電圧であるドレイン電圧が、10V以下となるように書き込み動作条件が設定されている。

【0353】これにより、たとえば最低10Vの読取電圧のメモリセルを同時に並列に読取が可能となり、メモリセル当りの実効書き込み速度の高速化を実現することができる。さらに、単一読出動作の不揮発性半導体記憶装置を構築することが可能となる。

【図面の簡単な説明】

【図1】 第1実施例における不揮発性半導体記憶装置の書き込み動作を説明するための第1の図である。

【図2】 第1実施例における不揮発性半導体記憶装置の書き込み動作を説明するための第2の図である。

【図3】 第1実施例における不揮発性半導体記憶装置の書き込み動作を説明するための第3の図である。

【図4】 第1実施例における不揮発性半導体記憶装置の書き込み動作を説明するための第4の図である。

【図5】 第1実施例における不揮発性半導体記憶装置の書き込み動作を説明するための第5の図である。

【図6】 第1実施例における不揮発性半導体記憶装置の書き込み動作を説明するための第6の図である。

【図7】 第1実施例におけるフローチャートとコンタクトゲートとを接続した場合のドレーン電圧はより低い電圧は特性を示す図である。

【図8】 第2実施例における不揮発性半導体記憶装置の構造を示すブロック図である。

【図9】 第3実施例における不揮発性半導体記憶装置の構造を示すブロック図である。

【図10】 従来の60R型フラッシュメモリの素子および書き込み特性を示す図である。

【図11】 第3実施例における不揮発性半導体記憶装置の構造および書き込み特性を示す図である。

【図12】 第4実施例における不揮発性半導体記憶装置の書き込み動作を説明するための図である。

【図13】 第4実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図14】 第5実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図15】 第7実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図16】 第8実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図17】 第9実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図18】 第9実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図19】 第9実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図20】 第10実施例における不揮発性半導体記憶装置の構造を示す断面図である。

58

[illegible]

【図 2.2】 第 1.2 実験例における不揮発性半導体記憶素子の構造を示す断面図である。

(図23) 組1: 第4~第12号病例におけるH₂O₂の他の14糖を示す第1の図である。

【図2.4】 第1、第4～第12実施例における最小エネルギーの伸び状態をそれぞれ第2の図である。

【図23】 第1、第4～第12実験例におけるカウムの他の状態を示す輝度の図である。

【図26】 第15実施例における本発明性半導体記憶装置の1d-Vd特性和1x-Vx特性を示す図である。

【図27】 旗にも葉輪郭におけるななね現象を説明するための第1の図である。

〔図 2.9〕 第 1 号実証例におけるなだね現象を説明するための第 2 の図である。

【図29】 第15表細例におけるなだれ現象を説明するための諸3の図である。

【要約】 第15次徒例における不揮発性半導体記憶装置のバース・バインド間トランスミシジョンレートとD/Nプロットを提示する。

【図9】 第15実施例における牙部発生歯源は記憶装置の $g = 0.5$ における $1/d - V/d$ 特性と $1/g - V/d$ 特性を示す図である。

✱

Sup

*【図32】従来のNOR型メモリセルの書き込み動作を説明するための模式図である。

【図33】 従来のN/O圧入メカニズムの油圧動作を説明するための模式図である。

【図34】従来のDINのD型メソセルの構造動作を説明するため公称式図である。

【図36】従来のDINOR型メモリエル公称動作を説明するための図式である。

【図5E】従来のDINOR型メモリの電圧降下特性を示す図である。

【図 87】 従来の E-INGR 型メモリセルの書き込み特性を示す図である。

【図28】従来のDINORがメモリの使用効率性を示す図である。

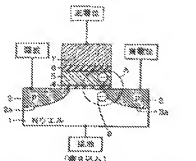
【図39】従来のn型MOSメモリセルにおけるバンドバンドトンネル現象を説明するための模式図である。

【図46】従来のリチウム型MOSメモリセルの改良された構造を示す断面図である。

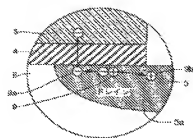
² 金亨植, 1997, 1998, 1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 2655, 2656, 2657, 2658, 2659, 2660, 2661, 2662, 2663, 2664, 2665, 2666, 2667, 2668, 2669, 2670, 2671, 2672, 2673, 2674, 2675, 2676, 26

① ロヴェル、② ソーニ領域、③ ドレイン領域、④
⑤、⑥、⑦ 輪会、⑧ トンネル部化線、⑨ フロー
ダイナミックゲート機構、⑩ 地盤線、⑪ エントロピーゲ
ート機構、なお、各図中、同一符号は 同一または相肉
部分を示す。

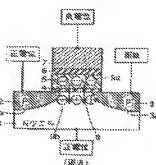
1000



15823



1357-33

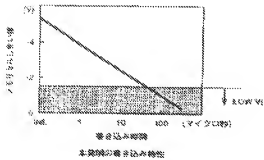


154

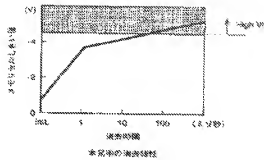
	ドレイン	コントロール ダクト	ソース	ハウエル
管の径	食電圧 (3~10V)	定電圧 (0~4V)	調整	調整
用途	調整	食電圧 (5~12V)	定電圧 (5~12V)	定電圧 (5~12V)
動作のし	食電圧 (0~10V)	食電圧 (1.5~3V)	調整	調整

主編：陳永發、陳永發、陳永發、陳永發、陳永發

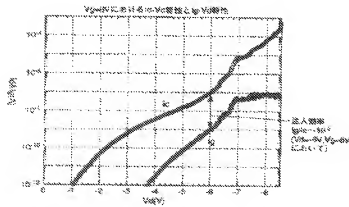
【図5】



【図6】

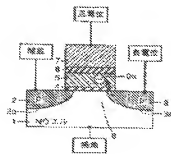


【図7】

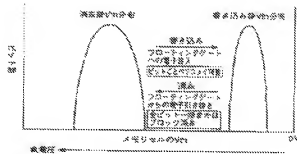


フローティングゲートとコントロールゲートの分離したPMOS型メモリセルの
 $V_{GS}-V_{DS}$ における $\log N$ と $\log t$ の関係

【図8】

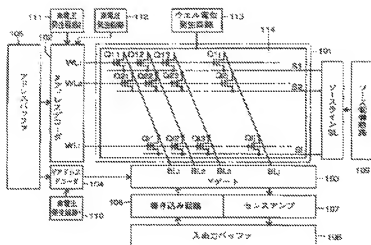


【図9】

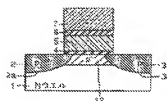


本発明の書き込み方式を用いたVCO用アキュムレータメモリセルの書き込み・読み

【図 9】



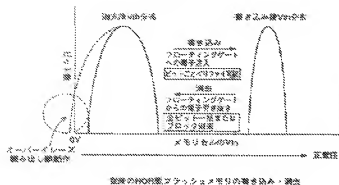
【図 10】



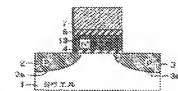
【図 11】



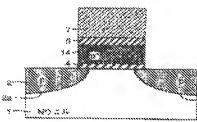
【図 12】



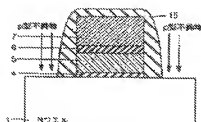
【図 13】



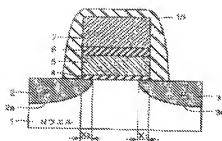
【図 14】



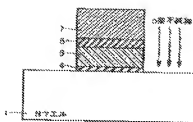
【図 15】



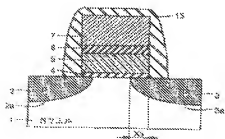
【図 17】



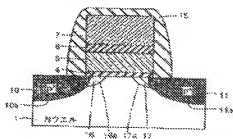
【図 18】



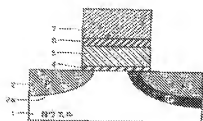
【図 19】



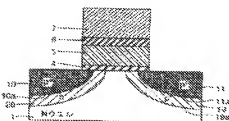
【図 20】



【図 21】



【図 22】



【図 23】



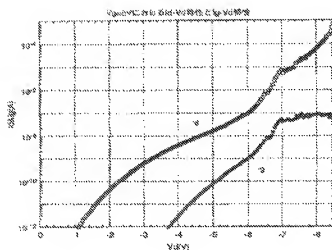
【図 24】



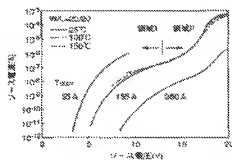
【図 25】

部材	材料	用途
1. クラウド部材	鋼板	外板の保護材
2. 基礎部材	コンクリート	基礎の保護材
3. 基礎部材	コンクリート	基礎の保護材
4. 基礎部材	コンクリート	基礎の保護材
5. 基礎部材	コンクリート	基礎の保護材
6. 基礎部材	コンクリート	基礎の保護材
7. 基礎部材	コンクリート	基礎の保護材
8. 基礎部材	コンクリート	基礎の保護材
9. 基礎部材	コンクリート	基礎の保護材
10. 基礎部材	コンクリート	基礎の保護材

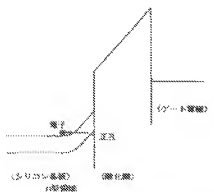
【図26】



【図27】

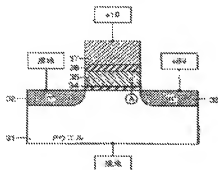


【図28】

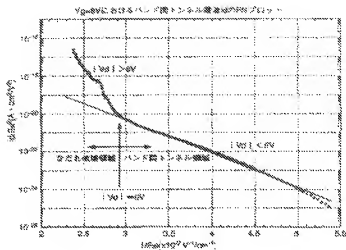


チャンネルとドレイン・ソース・ゲート電極との接合のメカニズム

【図29】



【図30】

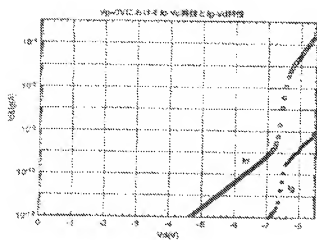


【図31】

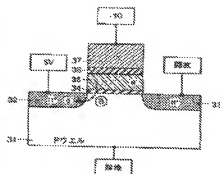
	ドレイン	コントロール ゲート	ソース	ドレイン
電圧	正電圧 (4~6V)	正電圧 (0~11V)	接地	接地
電流	正電流 (0~10V)	正電流 (0~10V)	正電流 (0~10V)	正電流 (0~10V)
電圧	正電圧 (4~6V)	正電圧 (0~11V)	接地	接地

図31は、図30の内部構造に各電圧印加条件

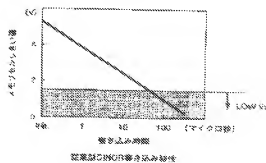
【図 31】



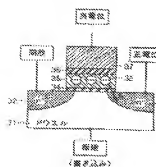
【図 32】



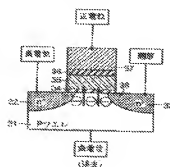
【図 37】



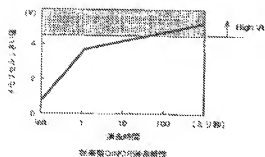
【図 34】



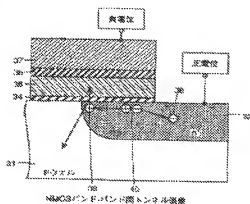
【図 35】



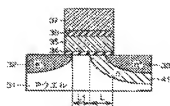
【図 36】



【図 38】



(図 4 0)



フロントパネルの縦向き

(71)発明者 味香 寛夫

兵庫県伊丹市福寿寺丁目1番地 三菱電機
株式会社エー・エル・エス・アイ開発研究
所内

(72)発明者 柳敏 清彦

兵庫県伊丹市福寿寺丁目1番地 三菱電機
株式会社エー・エル・エス・アイ開発研究
所内

【著作権】著作権は第17条の2の規定による修正の権限
【ページ数】第7部附録2区
【発行日】平成14年8月30日（2002. 8. 30）

【公辦證号】特辦平一—8153
【公辦日】平成9年1月16日（1997. 1. 16）
【年番号数】公辦特許公報9—88
【出願番号】特願平7—148936
【國際特許分類第7版】

28/788
29/788
29/792
27/117

1981	29.78	373
1977-80	4.23	

[illegible]

1992年11月14日

1998, 1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 2655, 2656, 2657, 2658, 2659, 2660, 2661, 2662, 2663, 2664, 2665, 2666, 2667, 2668, 2669, 2670, 2671, 2672, 2673, 2674, 2675, 2676, 2677, 2678, 2679, 26

【補註文】**象器器名**。1. 器名。

【補註対象項目名】 知能検査(2)第1問

「隨正午映」：即正午場。

[illegible]

1994年12月

(「戦争軍」)は、その領域の表面に形成された力場のソース
 ソースおよび力場の流れと傾斜と、傾斜ソース領域と
 前記力場領域との間に生じたチャールズ領域の下方に下
 りていく力を加えて形成され、この領域は、傾斜と、傾
 斜電荷電場領域の上方に絶縁性を有して形成された絶
 縁電極と、を有する不導性半導体の表面に塗布されてあ
 る。前記不導性半導体は、絶縁膜層からなる。また、
 前記フローレンス領域、負電位を用いるための負電位用
 地手段と、
 供給電荷蓄積電極と、正電位を用いるための正電位用
 地手段と、
 電気ソース領域を構成している。前記手段と
 を備える。

適正なレイアウトから配線電荷荷重電圧、電子の流入を行なう、有機発光半導体の検査。

【論文要旨】 前記不規則性半導体薄膜装置のデータの集計時に、前記ドレイン領域におけるバンドバント間エネルギー差と水素エレクトロン注入により、前記ドレイン領域から前記電荷保持領域へ電子の注入を行う。【請求項】 1. 前記不規則性半導体薄膜装置

【図3】 軌道不規則性半導体の成長過程のデータの読み取り。前記電圧調整電極と前記ドレイン領域に与えられた領域の軌道トンネル電圧に強度差を印加して、ドレイントンネル現象により前記ドレイン領域から前記電圧調整電極へ電子が注入を行なう。結果的に電極の不純

分生孢菌属 *Phoma*

[illegible]

下記のアール領域および下記に示す領域に、正電圧を印加する
 ための正電圧印加手段と____
 を備える。
 上記アール領域に電孔のチャネル膜を形成し、側面は
 上記チャネル膜と前記電荷蓄積層との間に介在する誘電
 レンズ層で覆われ、誘電層を形成した、互にチャネル膜
 膜に付、前記電荷蓄積層端部から前記電孔のチャネル膜
 へ電圧の注入を行なう。
 不揮発性半導体記憶装置

【請求項5】 前記不揮発性半導体記憶装置は、
前記不揮発性半導体記憶装置のデータの書き込みと
前記記憶装置の読出しとを行う機構が設けられ、
書き込みを行う請求項1から請求項4のいずれかに記載
の不揮発性半導体記憶装置。

【請求項 8】 前記第 1 の領域は、前記第 2 の領域を有する。

請求項1から請求項3のいずれかに記載の不揮発性半導体記憶装置。

【詩文第7】 熱帯常緑樹林帯は、南緯の赤道付近
にである。

請求項1から請求項3のいずれかに記載の下部弾性半導体記憶装置。

【請求項 8】 前記電荷蓄積領域は、 2θ のポリシリコンである。

【請求項 9】 請求項 3 の如く、前記の不揮発性半導体記憶装置は、

【請求項 10】 前記ソース領域と前記ドレイン領域とは、前記電荷蓄積領域および前記制御電極に対して、互に接合されている。

【請求項 11】 請求項 9 のいずれかに記載の不揮発性半導体記憶装置は、

【請求項 12】 前記ドレイン領域の、前記電荷蓄積領域の下に位置する領域のイオン化率は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【請求項 13】 または 2 に記載の不揮発性半導体記憶装置は、

【請求項 14】 前記ドレイン領域の、前記電荷蓄積領域の下に位置する領域のイオン化率は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下の領域を含む。

【請求項 15】 前記ソース領域の、前記電荷蓄積領域の下に位置する領域のイオン化率は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【請求項 16】 または 2 に記載の不揮発性半導体記憶装置は、

【請求項 17】 前記チャネル領域において、前記ソース領域に接して形成され、前記ソース領域の不純物濃度よりも低濃度の p 型不純物を有する第 2 不純物領域と、

前記ドレイン領域に接して形成され、前記ドレイン領域の不純物濃度よりも低濃度の n 型不純物を有する第 2 不純物領域と、

を備えた、請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 18】 前記不純物において、前記ドレイン領域に接し、前記ドレイン領域を取り囲むように形成され、前記不純物濃度よりも低い不純物濃度を有する n 型の第 2 不純物領域を備えた。

【請求項 19】 または 2 に記載の不揮発性半導体記憶装置は、

【請求項 20】 前記トネル酸化膜の厚さは、 1.5 nm 以下である。

【請求項 21】 または 2 に記載の不揮発性半導体記憶装置は、

【請求項 22】 前記 n 型領域において、前記ドレイン領域を取り囲むように形成され、前記ドレイン領域の不純物濃度よりも低い不純物濃度を有する n 型の第 2 不純物領域と、

前記ソース領域を取り囲むように形成され、前記 n 型領域よりも高い不純物濃度を有する n 型の第 2 不純物領域と、

を備えた、請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 23】 前記不揮発性半導体記憶装置は、

前記ドレイン領域を接合状態にする解除手段をさらに具備した。

【請求項 24】 前記の不揮発性半導体記憶装置は、

【請求項 25】 前記電荷蓄積領域と前記電荷蓄積領域とを、

前記ソース領域と前記ドレイン領域とでメモリセルと形成され。

【請求項 26】 前記不揮発性半導体記憶装置は、

前記メモリセルの複数の行および複数の列に配列されたメモリセルアレイと、

前記複数の行と対応して、前記メモリセルの複数の列の接合状態を制御するワード線と、

前記複数の列に対して、前記メモリセルの複数の行の接合状態を制御するビット線と、

を有する、請求項 1 から請求項 25 のいずれかに記載の不揮発性半導体記憶装置。

【請求項 27】 前記不揮発性半導体記憶装置は、

前記メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域をさらに備え、

前記周辺回路領域は、 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 28】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 29】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 30】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 31】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 32】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 33】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 34】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 35】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 36】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 37】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 38】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 39】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 40】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 41】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 42】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 43】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 44】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 45】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 46】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

【請求項 47】 前記メモリセルの動作制御を行なう周辺回路領域は、前記 $\text{p}^+\text{チャネル MOS トランジスタ}$ を含む。

出電圧よりも低いとき、低電圧を有する。

【請求項17】記載の不揮発性半導体記憶装置、

【請求項18】前記メモリセルは、

前記メモリセルの陰極領域の後、前記メモリセルの陽

極電圧よりも低いとき、低電圧を有する。

【請求項19】記載の不揮発性半導体記憶装置、

【請求項20】n型領域の表面に形成されたp型のソ

ース領域およびp型のドレイン領域と、前記ソース領域

と電極および領域とに挟まれたチャネル領域の上方に

トンネル酸化膜を介在して形成された電荷蓄積層と、

前記電荷蓄積層の上方に絶縁膜を介在して形成された

電荷電極とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモ

リセルアレイと、

前記複数行に対応して、前記各々のメモリセルの電荷電

極に接続されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン

領域に接続されたビット線と、

前記各々のメモリセルのソース領域が接続されたソース

線と、

前記所定のメモリセルの読み出し、

選択されない前記ビット線と、選択されない前記ワード

線と、前記ソース線と、前記n型領域とに、第1の電位

を印加するための第1の電位印加手段と、

選択される前記ビット線に、前記第1の電位よりも1つ

より低い電位を印加するための第2の電位印加手段と、

選択される前記ワード線に第2の電位を印加するための

第3の電位印加手段とを有する、不揮発性半導体記憶装

置。

【請求項21】n型領域の表面に形成されたp型のソ

ース領域およびp型のドレイン領域と、前記ソース領域

と前記ドレイン領域とに挟まれたチャネル領域の上方に

トンネル酸化膜を介在して形成された電荷蓄積層と、

前記電荷蓄積層の上方に絶縁膜を介在して形成された

電荷電極とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモ

リセルアレイと、

前記複数列に対応して設けられた複数の主ビット線と、

前記複数のメモリセルに共通して設けられたソース線とを

有する。

前記複数のメモリセルは、各々が複数行および複数列に

配列された複数のメモリセルを含む複数のブロックに分割

され、

前記複数のメモリセルに対して設けられ、各々が対応する

各々のブロックに対応する複数の副ビット線を含む複数

の副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット

線とに接続するセレクトゲートトランジスタとを有する装置

と、

前記装置のメモリセルの読み出し、

選択されない前記主ビット線と、選択されない前記セレ

クトゲートトランジスタと、前記セレクトと、前記各々の

領域に第1の電位を印加するための第1の電位印加手段

と、

選択される前記主ビット線と、選択される前記副ビット

線とに、第1の電位よりも1つより低い電位を印加する

ための第2の電位印加手段と、

選択されない副ビット線を選択状態にする開閉手段と、

選択される前記セレクトゲートトランジスタに第2の電

位を印加する第3の電位印加手段と、

を有する、不揮発性半導体記憶装置、

【請求項22】前記第1の電位は、正の値の外部電流

電位であり、

前記第2の電位は、極電位である、

前記第2または第3の電位は記載の不揮発性半導体記

憶装置。

【請求項23】前記第1の電位は、極電位であり、

前記第2の電位は、負の値の外部電流電位である、

請求項24または請求項25に記載の不揮発性半導体記

憶装置。

【請求項24】前記不揮発性半導体記憶装置の読み出し

における最大消費電流は、1メモリアル当たり1nA以下

であることを特徴とする請求項17に記載の不揮発性半

導体記憶装置。

【請求項25】前記不揮発性半導体記憶装置の読み出し

における最大消費電流は、1メモリアル当たり1nA以下

となるように、前記負電位印加手段および前記正電位印

加手段を用いて、前記ドレイン領域および前記電荷電極

領域に負電位および正電位を印加する。

請求項26に記載の不揮発性半導体記憶装置、

【単純補正】

【前記対象発明名】 半導体

【前記請求項別名】 1027

【補正方法】 変更

【補正内容】

【0127】

【課題を解決するための手段】(主発明)

主発明に係る不揮発性半導体記憶装置は、n型領域の表

面に形成されたp型のソース領域およびp型のドレイン

領域と、上記ソース領域と上記ドレイン領域とに挟まれ

たチャネル領域の上方にトンネル酸化膜を介在して形成

された電荷蓄積層と、上記電荷蓄積層の上方に絶縁

膜を介在して形成された電荷電極とを有する不揮発性半

導体記憶装置であって、前記不揮発性半導体記憶装置の

データの読み出しに、上記ドレイン領域に電位を印加す

るための電位印加手段と、上記電荷蓄積層に正電位

を印加するための電位印加手段と、上記ソース領域を

開閉状態にする開閉手段とを備える。上記ドレイン領域

の上記電荷蓄積層へ電圧の注入が行なわれる。

(1) 第1の発明

第1の発明に係る不揮発性半導体記憶装置は、上記主電源において、上記不揮発性半導体記憶装置のチャータの書き込み時に、上記ドレイン領域における(バンドバンド)トンネル電流誘起かつエレクトロン注入電流により、上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる、

【手続補正3】
【補正対象書類名】明細書
【補正対象項目名】図28
【補正方法】変更
【補正内容】

【0023】(13) 第2の発明
第2の発明に係る不揮発性半導体記憶装置においては、上記主電源において、上記不揮発性半導体記憶装置のチャータの書き込み時、上記電荷蓄積電極と上記ドレイン領域とに挟まれた領域の上記トンネル酸化膜に電荷蓄積電圧を印加してF-Nトンネル現象により上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる、

【手続補正4】
【補正対象書類名】明細書
【補正対象項目名】図38
【補正方法】変更
【補正内容】

【0038】(12) 第1の発明
第1の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記H型領域において、上記ドレイン領域を除いて、上記ドレイン領域を形成するようにして形成され、上記H型領域よりも低い不純物濃度を有するH型の第3の不純物領域を備えている、

【手続補正5】
【補正対象書類名】明細書
【補正対象項目名】図40
【補正方法】変更
【補正内容】

【0040】(13) 第14の発明
第14の発明に係る不揮発性半導体記憶装置において、第2の発明であって、上記H型領域において、上記ドレイン領域を形成するように形成され、上記ドレイン領域の不純物濃度よりも低い不純物濃度を有するH型の第4の不純物領域と、上記ソース領域を形成するように形成され、上記H型領域よりも低い不純物濃度を有するH型の第5の不純物領域とを備えている、

【手続補正6】
【補正対象書類名】明細書
【補正対象項目名】図45
【補正方法】変更
【補正内容】

【0045】(19) 第19の発明
第19の発明に係る不揮発性半導体記憶装置において、第15の発明であって、上記ビット線は金属配線

材料である、
【手続補正7】
【補正対象書類名】明細書
【補正対象項目名】図53
【補正方法】変更
【補正内容】

【0053】(27) 第27および第28の発明
第27および第28の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、上記不揮発性半導体記憶装置の書き込み時における最大消費電流が1メモリアル当たり1nA以下となるように、上記負電位印加手段および正電位印加手段を用いて、上記ドレイン領域および上記電荷蓄積電極に、負電位および正電位を印加している、

【手続補正8】
【補正対象書類名】明細書
【補正対象項目名】図54
【補正方法】変更
【補正内容】

【0054】
【作用】主電源、および第1、第4〜第13、第16〜第22の発明に係る不揮発性半導体記憶装置においては、チャネル型のトンネルメモリを用いて、このトンネルメモリのデータの書き込み時、ドレイン領域に負電位、電荷蓄積電極に正電位が印加される、

【手続補正9】
【補正対象書類名】明細書
【補正対象項目名】図110
【補正方法】変更
【補正内容】

【0110】次に、第27および第28の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、書き込み時における最大消費電流であるドレイン電流が、1nA以下となるように書き込み初期条件が設定されている、

【手続補正10】
【補正対象書類名】明細書
【補正対象項目名】図309
【補正方法】変更
【補正内容】

【0309】
【発明の効果】主電源、および第1、第4〜第13、第16〜第22の発明に係る不揮発性半導体記憶装置によれば、ドレイン領域においてバンドバンドトンネル電流が発生し、電子正孔対が生成される、そのうち電子は電荷方向の電界によりチャネル方向に加速され、感電ルギーを有するホットエレクトロンとなる、このとき、制御電極に正電位が印加されているため、このホットエレクトロンは容易にトンネル酸化膜に注入され、電荷蓄積電極まで達することとなる。このように、バン

トリーポッド型トンネル電流起電力エレクトロン注入により、電荷蓄積電極への電子の注入が行われる。

【手段効果】

【補正対象書類名】明細書

【補正対象項目名】図 3 B

【補正方法】変更

【補正内容】

【図 3 B】次に、第 1 項および第 2 項の発明に係る不揮発性半導体記憶装置においては、第 1 項の発明であって、書き込みにおける最大消費電流であるドレイン電流が、 $1 \mu A$ 以下となるように書き込み回路条件が設定されている。